

OAO "Мультиклет"

Согласовано

Технический директор

Н.В.Стрельцов

“___” _____

Утверждаю

Генеральный директор

Б.А.Зырянов

“___” _____

МП MULTICLET P1 Руководство по эксплуатации

MCp041110101-Q208

MCp041110101-CQ240

MCp041P100104-LQ128

MCp041P100104-LQ144

МКФЕ.431281.501 РЭ

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

2015

Содержание

1 Введение	5
2 Условные обозначения и сокращения	6
2.1 Список сокращений	6
2.2 Принятые условные обозначения	6
3 Описание	8
3.1 Основные технические характеристики	8
3.2 Структура МП	9
4 Центральное процессорное устройство	11
4.1 Вычислительное ядро	11
4.1.1 Регистры	12
4.2 Контроллер прерываний	14
4.2.1 Структура контроллера прерываний	15
4.2.2 Регистры контроллера прерываний	16
4.2.3 Порядок обработки прерываний	16
4.3 Системный таймер	17
4.3.1 Режимы работы	18
5 Периферийные устройства	19
5.1 Порт ввода-вывода (GPIO)	19
5.1.1 Краткие характеристики	19
5.1.2 Функционирование GPIO	20
5.1.3 Описание регистров	21
5.2 Интерфейс UART(UARTx)	24
5.2.1 Краткие характеристики	24
5.2.2 Передача данных	25
5.2.3 Прием данных	26
5.2.4 Установка скорости передачи	26
5.2.5 Режимы самотестирования	27
5.2.6 Формирование прерываний	27
5.2.7 Описание регистров	29
5.3 Интерфейс SPI(SPIx)	32

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

MКФЕ.431281.501 РЭ

Инв. № подп.	Изм	Лист	№ докум.	Подп.	Дата

*МП MultiClet P1
Руководство по
эксплуатации*

*Лит. Лист Листов
О 2 103
ОАО
"Мультиклет"*

5.3.1	Краткие характеристики	32
5.3.2	Трех-проводный режим	34
5.3.3	Прием и передача данных	34
5.3.4	Тактовый сигнал SCK	34
5.3.5	Работа в режиме «ведущий»	35
5.3.6	Работа в режиме «ведомый»	35
5.3.7	Описание регистров	36
5.4	Интерфейс I^2C «ведущий» (I2C0)	39
5.4.1	Краткие характеристики	39
5.4.2	Общее описание протокола приема-передачи	40
5.4.3	Генерация несущей частоты	41
5.4.4	Алгоритм работы с интерфейсом	41
5.4.5	Описание регистров	44
5.5	Интерфейс I^2C «ведомый» (I2C1)	47
5.5.1	Краткие характеристики	47
5.5.2	Общее описание протокола приема-передачи	48
5.5.3	Генерация несущей частоты	49
5.5.4	Алгоритм работы с интерфейсом	49
5.5.5	Описание регистров	51
5.6	Контроллер I^2S (I2Sx)	54
5.6.1	Краткие характеристики	54
5.6.2	Общее описание шины I^2S	54
5.6.3	Описание регистров	56
5.7	Таймер общего назначения(GPTIMx)	58
5.7.1	Краткие характеристики	58
5.7.2	Алгоритм работы	58
5.7.3	Описание регистров	60
5.8	Контроллер Ethernet(Ethernet0)	62
5.8.1	Краткие характеристики	62
5.8.2	Тактирование	63
5.8.3	Доступ к внутренним буферам FIFO приемника и передатчика.	63
5.8.4	КПДП передатчика	63
5.8.5	КПДП приемника	66
5.8.6	Описание регистров	68
5.9	Контроллер USB(USBx)	71
5.9.1	Краткие характеристики	71
5.9.2	Описание регистров	73
5.10	Контроллер PWM(PWMx)	77
5.10.1	Краткие характеристики	77

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

5.10.2 Инициализация ШИМ	77
5.10.3 Режимы работы ШИМ	78
5.10.4 Прерывания ШИМ	78
5.10.5 Длительность импульса ШИМ	78
5.10.6 Описание регистров	79
6 Назначение выводов процессора	81
6.1 Назначение выводов процессора в корпусе QFP208	81
6.2 Назначение выводов процессора в корпусе CQFP240	86
6.3 Назначение выводов процессора в корпусе LQFP128	91
6.4 Назначение выводов процессора в корпусе LQFP144	94
6.5 Диаграмма выводов процессора в корпусе QFP208	95
6.6 Диаграмма выводов процессора в корпусе CQFP240	96
6.7 Диаграмма выводов процессора в корпусе LQFP128	97
6.8 Диаграмма выводов процессора в корпусе LQFP144	98
7 Электрические параметры	99
7.1 Электрические характеристики портов ввода-вывода	99
8 Лист регистрации изменений	100
A Список ошибок в MCp041110101-Q208 и способов их устранения	101
A.0.1 Ошибки уровня 1.	102
A.0.2 Ошибки уровня 2.	102
A.0.3 Ошибки уровня 3.	103

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист

4

1 Введение

В документе приведено описание особенностей и возможностей микропроцессора MCp0411100101 в пластиковых QFP-208, MQFP-128 и металлокерамическом CQFP-240(4245.240-6) корпусах, его внутренней организации, адресного пространства запоминающих устройств, а также сделан обзор периферийных устройств микропроцессора.

Мультиклеточный микропроцессор MCp0411100101 в пластиковом корпусе QFP-208 предназначен для решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности, таких как:

- системы промавтоматики от интеллектуальных датчиков до систем управления двигателями;
- универсальные навигационные приемники ГЛОНАСС / GPS / Galileo / COMPASS(Китай) / IRNSS(Индия) / QZSS(Япония);
- мобильные телефоны;
- видеотехника 3D;
- автомобильная электроника для «интеллектуальных» бортовых систем, контролирующих дорожную обстановку и предупреждающих водителей об опасностях и пробках;
- системы безопасности, автоматически распознающих «своих» и «чужих».

Мультиклеточный микропроцессор MCp041P100104 в пластиковом корпусе MQFP-128 корпусе предназначен для приложений, где существенна масса-габаритная характеристика.

Мультиклеточный микропроцессор MCp0411100101 в металлокерамическом CQFP- 240 (4245.240-6) корпусе предназначен для специальных применений, требующих особой стойкости.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. №	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист
5

2 Условные обозначения и сокращения

2.1 Список сокращений

МП — микропроцессор;

ПО — программное обеспечение;

MSb — старший значащий бит;

MSB — старший значащий байт;

LSb — младший значащий бит;

LSB — младший значащий байт;

ОЗУ — оперативное запоминающее устройство;

ПУ — периферийное устройство;

ЦПУ — центральное процессорное устройство;

ФБО — физический блок ОЗУ;

ПП — память программ;

ПД — память данных;

ФНЧ — фильтр нижних частот;

КДВП — контроллер доступа к внешней памяти;

ПДП — прямой доступ к памяти;

РОН — регистр(ы) общего назначения;

2.2 Принятые условные обозначения

'1', '0' — состояние логической единицы, логического нуля, соответственно;

REG(BIT) — такая запись используется для указания бита в регистре, где REG - название регистра, а BIT - обозначение бита или группы битов в нем. Например, "бит I2CxCR(EN)" означает, что идет указание на бит EN регистра I2CxCR, а "I2CxPSC(PSC)" указывает

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист
6

на группу битов PSC. Что бы подробнее узнать об указанных регистрах и битах, надо смотреть описание этих регистров;

PUs, BLOCKx, PUxREG — В обозначении регистров, наименовании ПУ, блоков МП может использоваться символ "x". Это замещение номера, например, есть несколько идентичных периферийных блоков UART с номерами 0,1 и т.д. Для UART0 "x" - 0. Если есть регистр I2CxCR, то для блока I2C0, регистр будет именоваться I2C0CR

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист

7

3 Описание

3.1 Основные технические характеристики

Условное обозначение	MCp0411100101	MCp041P100104*
Основное функциональное назначение	64-разрядная микро-ЭВМ	64-разрядная микро-ЭВМ
Мультиклеточное ядро	4 клетки 32/64 разряда	4 клетки 32/64 разряда
Блок вычисления чисел с плавающей точкой(соответствует ieee754)	одинарной точности	одинарной точности
Производительность пиковая	24 MFLOPS/МГц	24 MFLOPS/МГц
Встроенная память СОЗУ, ПП/ПД КiВ	128/128	128/128
Пользовательские вводы-выводы, шт.	104	104
USB 1.1 FS device, шт.	1	1
UART, шт.	4	4
SPI, шт.	3	3
I2C	1ведущий, 1ведомый	1ведущий, 1ведомый
I2S	1ведущий (прием данных)	1ведущий (прием данных)
PWM, каналов	4	4
Ethernet 10/100, шт.	1	1

* Выполнен на одном и том же кристалле, но отличается от предыдущего меньшей периферией (см. глава 6).

Таблица 2 – Список рекомендуемых FLASH ПЗУ для использования с процессором MCp0411100101

№п.п.	Наименование	Производитель	Объем, МБ	Температурный диапазон	Рекомендовано МО РФ ¹
1	XCF04S	Xilinx	4	-40°C ... +85°C	нет
2	XCF08P	Xilinx	8	-40°C ... +85°C	нет
3	XCF16P	Xilinx	16	-40°C ... +85°C	да
4	XCF32P	Xilinx	32	-40°C ... +85°C	да

Примечания:

¹ "Рационально-унифицированная и оптимизированная номенклатура ЭКБ иностранного производства для применения в РЭА «Номенклатура 2012» Книга 2

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

Изм.	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист 8
------	------	----------	-------	------	--------------------	-----------

3.2 Структура МП

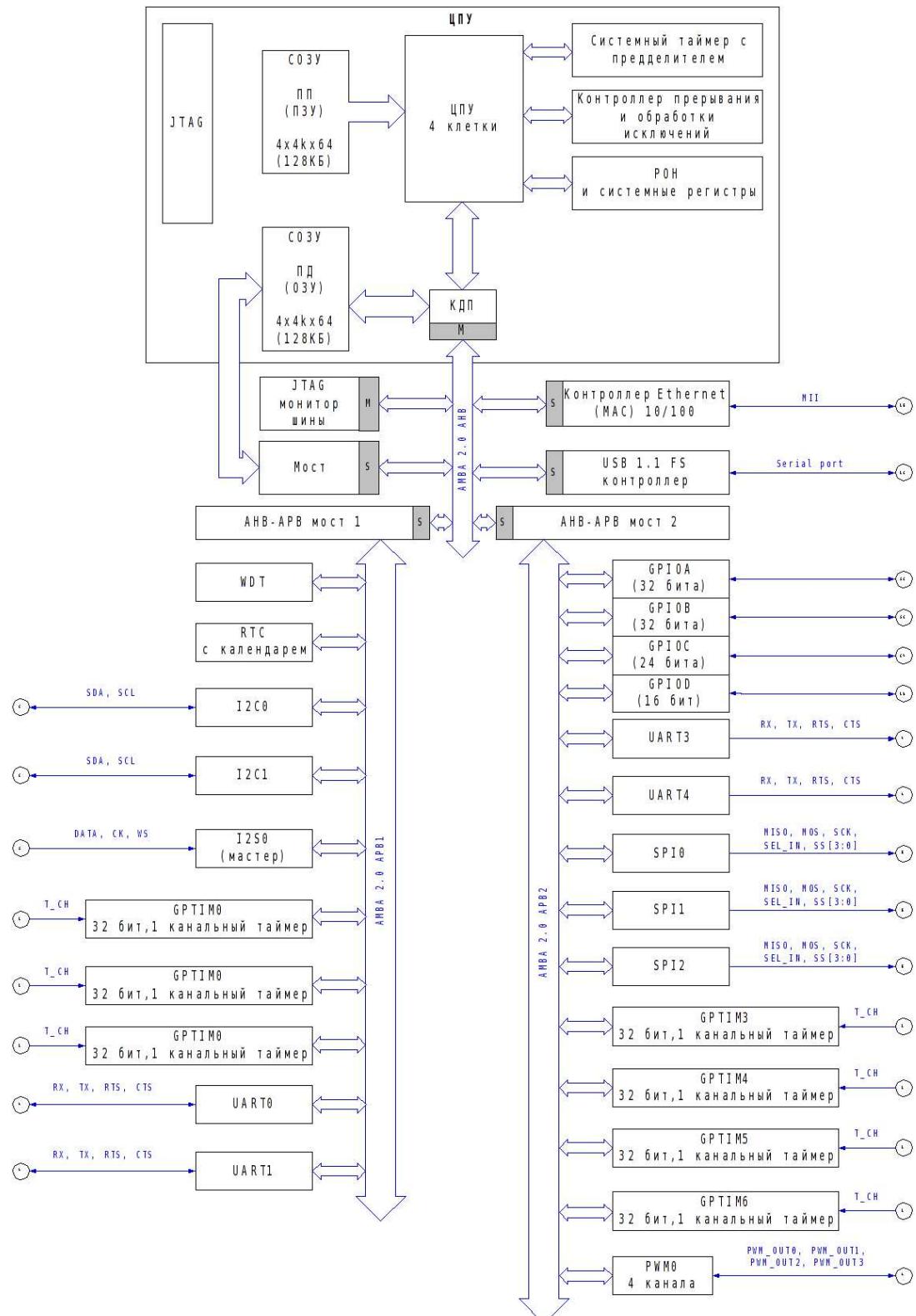


Рисунок 1 – Общая структура MCp0411100101

ЦПУ:

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

- контроллер прерываний с аппаратом обработки исключительных ситуаций;
- ядро, предназначенное для вычислений и осуществления функций управления;
- системный таймер;
- модули внутрисхемной отладки;
- интерфейсы доступа к памяти и системной шине;
- системные регистры и регистры общего назначения.

Шина периферийных устройств:

- Описание подключенных к шине периферийных устройств смотрите в п. 5

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

10

4 Центральное процессорное устройство

4.1 Вычислительное ядро

Ядро в своем составе имеет:

- 4 ПБ, имеющих нумерацию [0, 3];
- коммутационную среду, объединяющую ПБ;
- поле системных регистров и регистров общего назначения (РОН);
- коммутатор для доступа к ПД и ПУ;

Структурная схема ядра микропроцессора представлена на рис. 2

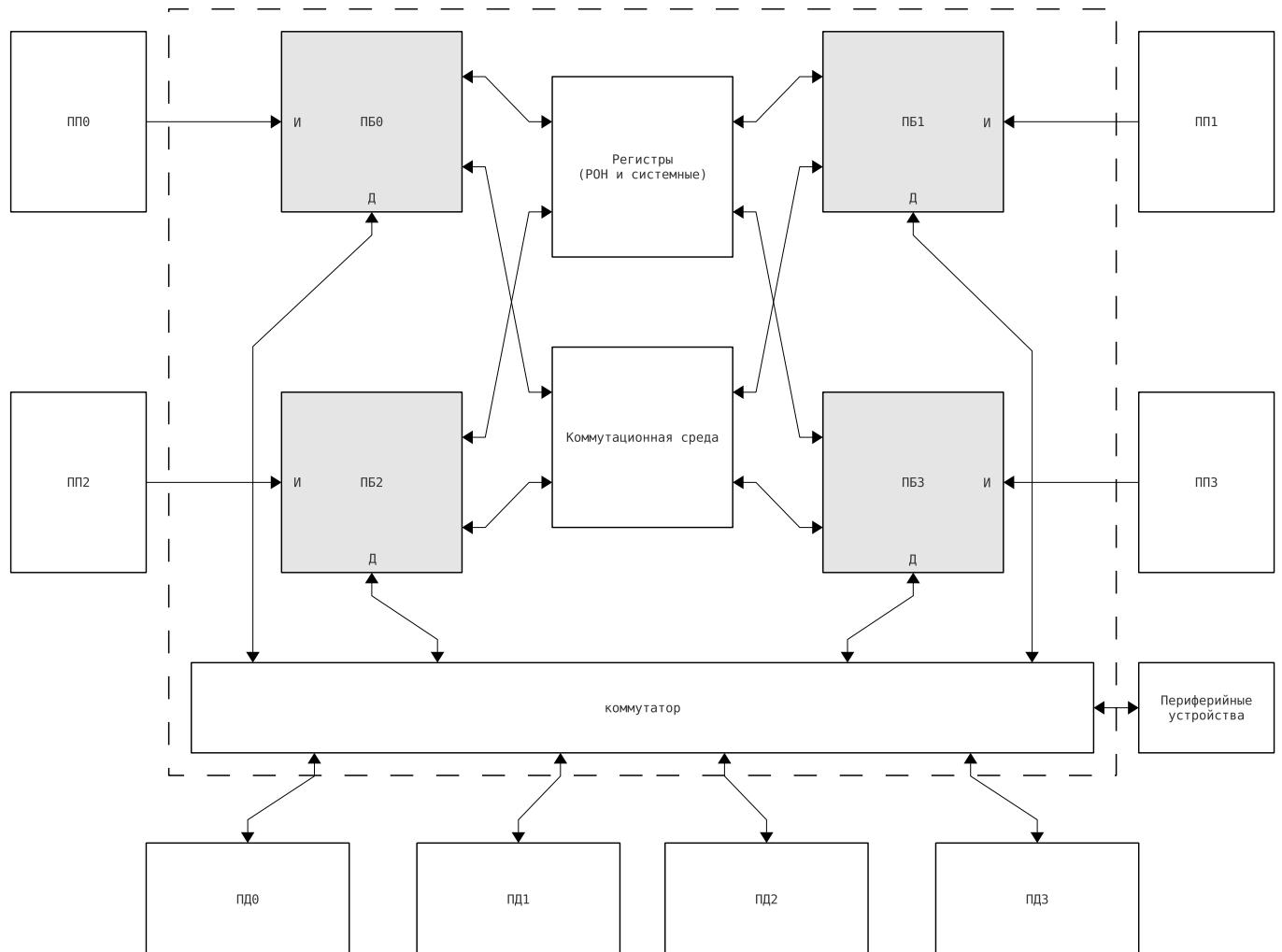


Рисунок 2 – Структурная схема ядра

ПБ представляет собой набор управляющих и исполнительных блоков, имеет развитую систему команд. В состав ПБ входит целочисленное АЛУ и блок обработки чисел с плавающей

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

точкой одинарной точности. На рис. 2 показано, что ПБ имеют независимые каналы данных и инструкций, выходы на РОН, системные регистры и объединены между собой коммутационной средой.

По каналу инструкций данные только принимаются, возможности записывать программно ПП не существует. По каналу данных возможны транзакции в любом направлении. Блоки ПД доступны через коммутатор.

4.1.1 Регистры

Все регистры, кроме системных, имеют ширину 64 бита. Чтение/запись регистров происходит с помощью специализированных команд.

Тип регистров	Номер
Регистры общего назначения	
зарезервировано	0-7
	8-31
Индексные регистры	
	32-47
Управляющие регистры	
PSW	48
INTR	49
MSKR	50
ER	51
IRETADDR	52
STVALR	53
STCR	54
IHOOKADDR	55
INTNUMR	56
MODR	57

4.1.1.1 Индексные регистры Используются для косвенной адресации и имеют следующую логическую структуру:

Номера битов	63..48	47..32	31..0
	Индекс (Index)	Маска (Mask)	База (Base)

В общем случае, при использовании регистра данного типа в качестве аргумента операции, значение этого аргумента формируется согласно следующему алгоритму:

- вычисление исполнительного адреса:

$$Address = Index + Base$$

- обращение к памяти данных по исполнительному адресу Address для чтения значения аргумента согласно типу используемой операции. Модификация значения индексного регистра осуществляется аппаратно по завершению параграфа в том случае, если установлен

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

12

соответствующий бит PSW(MODR), согласно следующей формуле:

$$Index = ((Index|\overline{Mask}) + 1) \& Mask$$

где | — операция побитового «ИЛИ», & — операция побитового «И», \overline{X} — операция побитового инвертирования.

4.1.1.2 Управляющие регистры Процессор имеет в своем составе следующие управляющие регистры:

Регистр	Номер регистра	Доступ	Описание
PSW	30h	RW	Регистр управления
INTR	31h	RW	Регистр прерываний
MSKR	32h	RW	Регистр маски прерываний
ER	33h	RC	Регистр ошибок
IRETADDR	34h	R	Регистр адреса возврата
STVALR	35h	RW	Период счетчика
STCR	36h	RW	Регистр управления счетчиком
IHOOKADDR	37h	RW	Регистр адреса первичного обработчика прерываний
INTNUMR	38h	R	Номер выработанного прерывания
MODR	39h	RW	Регистр модификации индексных регистров

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист

13

4.2 Контроллер прерываний

Система прерываний МП допускает обработку 32 прерываний. Источник с номером «0» имеет наивысший приоритет при обработке прерываний. Работа с прерываниями в MCp0411100101 имеет особенности, описанные в п. ??.

0	Немаскируемое внутреннее прерывание (INMI)
1	Немаскируемое внешнее прерывание (ENMI)
2	Немаскируемое исключение в аппаратной части (PERE)
3	Немаскируемое программное исключение (PPGE)
4	Маскируемое программное исключение (MPRGE)
5	Прерывание от системного таймера (SWT)
6	Программное прерывание (SWI)
7	Маскируемое прерывание от UART0
8	Маскируемое прерывание от UART1
9	Маскируемое прерывание от UART2
10	Маскируемое прерывание от UART3
11	Маскируемое прерывание от I2C0
12	Маскируемое прерывание от I2C1
13	Маскируемое прерывание от SPI0
14	Маскируемое прерывание от SPI1
15	Маскируемое прерывание от SPI2
16	Маскируемое прерывание от I2S0
17	Маскируемое прерывание от GPTIM0
18	Маскируемое прерывание от GPTIM1
19	Маскируемое прерывание от GPTIM2
20	Маскируемое прерывание от GPTIM3
21	Маскируемое прерывание от GPTIM4
22	Маскируемое прерывание от GPTIM5
23	Маскируемое прерывание от GPTIM6
24	Маскируемое прерывание от PWM0
25	Маскируемое прерывание от RTC
26	Маскируемое прерывание от GPIOA
27	Маскируемое прерывание от GPIOB
28	Маскируемое прерывание от GPIOC
29	Маскируемое прерывание от GPIOD
30	Маскируемое прерывание от ETHERNET0
31	Маскируемое прерывание от USB0

4.2.0.3 Немаскируемые прерывания В контроллере предусмотрено 4 немаскируемых прерывания с номерами 0-3. Немаскируемые прерывания приводят к немедленному переходу на программу обработки прерываний. Их нельзя запретить, они разрешены сразу после начала работы ядра.

4.2.0.4 Маскируемые прерывания Прерывания с номерами 4-31 являются маскируемыми, они глобально разрешаются битом ONIRQS в регистре PSW. Индивидуальное разрешение задается регистром MSKR.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист
						14

4.2.1 Структура контроллера прерываний

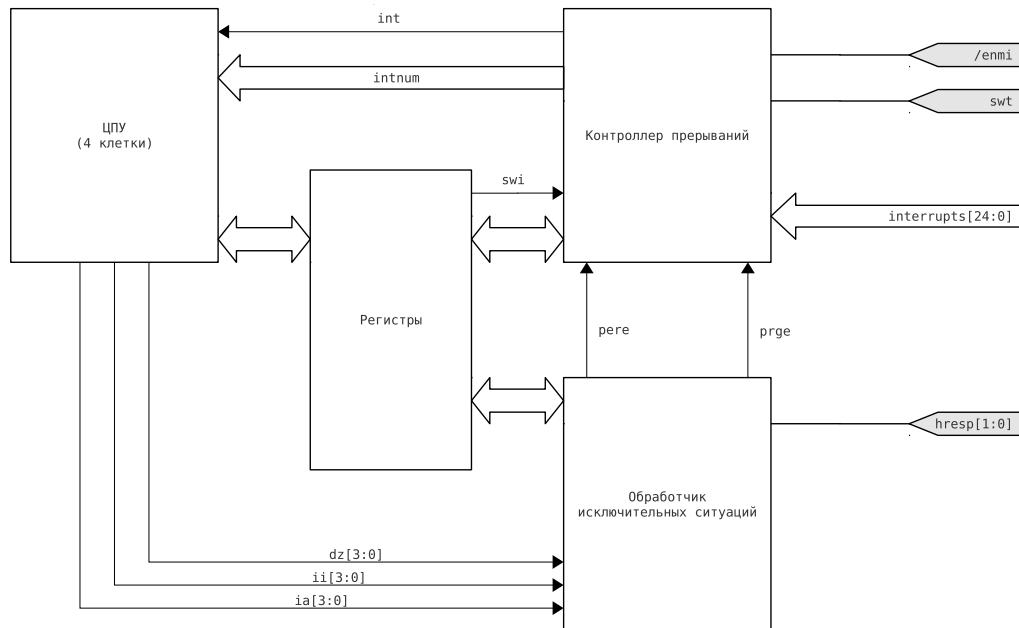


Рисунок 3 – Блок-схема контроллера прерываний

Контроллер прерываний состоит из 2 функциональных модулей:

- контроллер прерываний - определяет самое приоритетное прерывание на каждом такте и формирует его номер на шине INTNUM;
- обработчик исключительных ситуаций - обрабатывает информацию об аппаратных и программных сбоях, передает сигнал об их возникновении в контроллер прерываний, что приводит к формированию запроса прерывания.

Из ЦПУ на контроллер прерываний приходят 3 группы сигналов об ошибках в ходе выполнения программы, по которым в обработчике исключений формируется сигнал PRGE:

- DZ – попытка выполнения деления на ноль;
- II – выбрана несуществующая инструкция;
- IA – сформирован несуществующий адрес.

Так же ЦПУ формирует сигнал SWI – программируемое прерывание. С шины периферийных устройств на обработчик исключений поступают сигналы hresp, состояние линий которых говорит об ошибках или их отсутствии при обращении по шине. При наличии ошибки формируется сигнал PERE.

Также с шины периферийных устройств приходят сигналы `interrupts[24:0]` запроса прерывания от каждого периферийного устройства. С системного таймера поступает сигнал SWT, а с ввода МП приходит сигнал `/enmi` – внешнее немаскируемое прерывание.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

4.2.2 Регистры контроллера прерываний

Для работы системы прерывания и функционирования программ обработки прерываний имеются следующие регистры:

INTR	Регистр прерываний
MSKR	Регистр маски прерываний
ER	Регистр ошибок
INTNUM	Номер выработанного прерывания
IRETADDR	Регистр адреса возврата
IHOOKADDR	Регистр адреса первичного обработчика прерываний

Регистры INTR, MSKR, ER, INTNUM — относятся к управлению контроллером прерываний. Регистры IRETADDR, IHOOKADDR — используются программным алгоритмом. В памяти МП не выделено какой-либо фиксированной зоны для размещения обработчика прерываний. Программист может разместить обработчики прерываний в любом месте адресного пространства ПП. При возникновении прерывания ядро перейдет по адресу, записанному в регистре, IHOOKADDR. По данному адресу программист может расположить первичный обработчик прерываний, который может осуществить диспетчеризацию и перенаправить программу на необходимый адрес, где располагается обработчик для конкретного прерывания. Адрес возврата автоматически запоминается в регистре IRETADDR, программист имеет к нему полный доступ.

4.2.3 Порядок обработки прерываний

При возникновении прерывания, контроллер прерываний определяет самое приоритетное прерывание и формирует сигнал int. Вся программа разбита на «параграфы» - группы команд, аналогом которых можно считать линейные участки. На время выполнения «параграфа» все прерывания запрещены, кроме немаскируемых, которые могут прервать работу процессорного ядра в любое время. После завершения «параграфа» возможен переход на адрес первичного обработчика прерываний, если был запрос прерывания, прерывание не маскировано и нет глобального запрета прерываний (бит ONIRQS в регистре PSW). В регистр IRETADDR автоматически записывается адрес следующего «параграфа» и устанавливается глобальный запрет прерываний. Ядро переходит на выполнение алгоритма, размещенного по адресу, записанному в IHOOKADDR. После завершения работы обработчиков прерываний программный алгоритм должен осуществить выход из прерывания, адрес возврата записан в IRETADDR. Глобальное разрешение прерываний программа должна выставить сама.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

16

4.3 Системный таймер

Системный таймер предназначен для формирования заданных периодических или однократных временных интервалов. Таймер представляет собой декрементирующий счетчик с делителем тактового сигнала на входе. Начальное значение счетчика записывается в регистр STVALR, управление осуществляется через регистр STCR. По истечении заданного временного интервала формируется запрос на обработку прерывания.

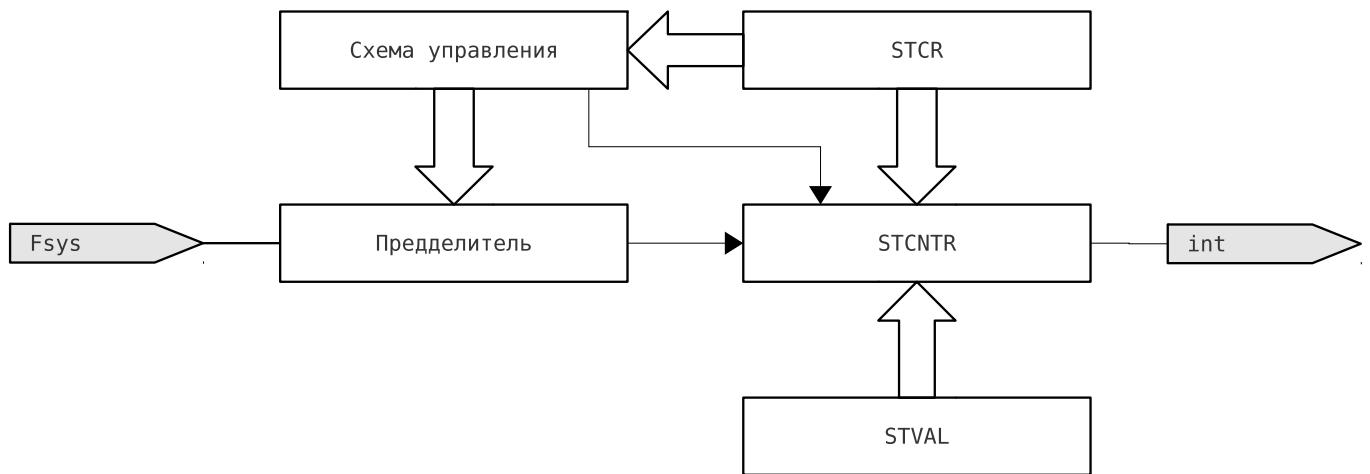


Рисунок 4 – Блок-схема системного таймера

На рис.4 изображена блок-схема таймера. Ниже приведены формулы для расчета частоты и периода интервалов, формируемых системным таймером. Значения PREDIV и CNTVAL задаются в регистрах STVALR и STCR соответственно.

- период формируемого интервала:

$$T = T_{clk} \cdot PREDIV \cdot CNTVAL$$

- частота следования временных интервалов:

$$F = \frac{F_{clk}}{PREDIV \cdot CNTVAL};$$

Внимание! При значениях PREDIV = [0,1] тактовый сигнал передается на счетчик в обход делителя. Следовательно в формуле вместо PREDIV надо подставлять 1.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

4.3.1 Режимы работы

- Однократное формирование временного интервала – Таймер запускается пользователем (в бит STCR(EN)=’1’), а по достижении счетчиком таймера значения «0», таймером выдается запрос на обработку прерывания, после этого в бит STCR(EN) устанавливается в ’0’ и таймер останавливается до следующей записи значения ’1’ в STCR(EN);
- Периодическая генерация временных интервалов – Таймер запускается и останавливается пользователем (в бит STCR(EN) записывается соответствующее значение). По достижении счетчиком таймера значения «0», таймером выдается запрос обработки прерывания, счетчик перезагружается значением заданным пользователем в регистре STVALR и работа таймера продолжается до того, как пользователь запишет значение в бит STRCR(EN).

При записи в регистр STVALR новое значение будет передано в счетчик при его очередной перезагрузке, когда он достигнет значения «0». Если во время работы изменится регистр STCR, то таймер немедленно остановится и запустится с новыми параметрами. Настоятельно рекомендуется перед изменением режима работы таймера сначала остановить его, записав STCR(EN)=’0’, потом задать новые значения в регистре STCR. Запрещается менять во время работы таймера значение регистра STVALR на 0 и после этого изменять STCR. Это может привести к возникновению запроса обработки прерывания.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

18

5 Периферийные устройства

5.1 Порт ввода-вывода (GPIO)

5.1.1 Краткие характеристики

- МП содержит 2 порта по 32бита, 1 порт 24бита и 1 порт 16бит;
- каждый бит порта может быть индивидуально настроен на ввод или вывод и может опционально генерировать прерывания;
- запрос прерывания может формироваться по уровню либо по фронту (передний/задний) сигнала;
- вводы-выводы портов могут переключаться на альтернативную функцию;

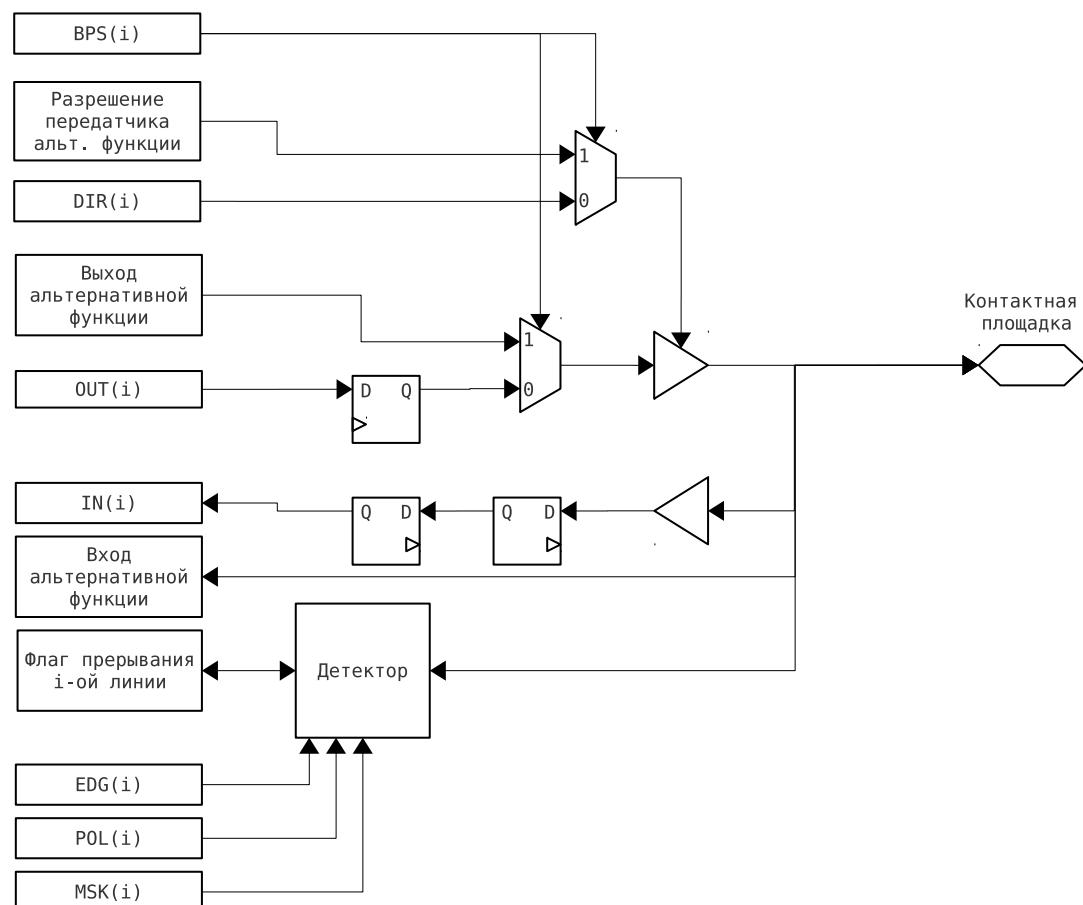


Рисунок 5 – Блок-схема i-ой линии GPIO

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

5.1.2 Функционирование GPIO

Порты ввода-вывода реализованы как двунаправленные буферы с программируемым разрешением вывода. Вход каждого буфера синхронизирован с помощью двух последовательно включенных триггеров, чтобы исключить возможность возникновения метастабильности. Синхронизированное значение может быть прочитано из регистра принимаемых данных (GPIOxIN) порта ввода-вывода. Разрешение вывода управляется через регистр разрешения передачи (GPIOxDIR). Логическая единица ('1') в данном разряде порта ввода вывода конфигурирует соответствующую ей линию на вывод. Выходное значение берется из регистра передаваемых данных (GPIOxOUT) порта ввода-вывода.

Каждая линия порта ввода-вывода может быть сконфигурирована на формирование прерывания. Формирование прерывания управляется тремя регистрами: регистром маски прерываний (GPIOxMSK), регистром настройки прерывания по событию, полярности сигнала (GPIOxPOL) и регистром настройки прерывания по событию, составляющая сигнала (GPIOxEDG). Для разрешения прерывания, соответствующий бит в маске прерываний должен быть установлен ('1'). Если регистр составляющей сигнала сброшен ('0'), то прерывание формируется по уровню сигнала. Если регистр полярности сигнала сброшен ('0'), то прерывание возникает при активном низком уровне сигнала, если же регистр полярности сигнала установлен ('1'), то прерывание возникает при активном высоком уровне сигнала. Если регистр составляющей сигнала установлен ('1'), то прерывание формируется по фронту сигнала. Если регистр полярности сигнала сброшен ('0'), то прерывание возникает по переднему фронту сигнала, если же регистр полярности сигнала установлен ('1'), то прерывание возникает по заднему фронту сигнала.

Каждый вывод порта ввода-вывода может быть совместно использован для других типов сигналов, выполняющих альтернативные функции. Для разрешения задания альтернативных функций какой-либо линией порта необходимо в регистре разрешения альтернативных функций (GPIOxBPS) установить соответствующий бит ('1'). Описание всех вводов-выдов МПсмотрите в п.6

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

20

5.1.3 Описание регистров

Порты ввода-вывода общего назначения:

GPIOA: базовый адрес - 0xC01F 0000; ширина порта - 32 разряда.

GPIOB: базовый адрес - 0xC01F 0100; ширина порта - 32 разряда.

GPIOC: базовый адрес - 0xC01F 0200; ширина порта - 24 разряда.

GPIOD: базовый адрес - 0xC01F 0300; ширина порта - 16 разрядов.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра.

Для портов А, В значащими являются биты с 0 по 31, для порта С значащими являются биты с 0 по 23, а для порта D значащими являются биты с 0 по 15. Чтение битов с 24 по 31 для порта С и с 16 по 31 для порта D даст нулевой результат, а запись будет безрезультатна.

Регистр	Смещение адреса	Доступ	Описание
GPIOxIN	00h	R	Регистр принимаемых данных.
GPIOxOUT	04h	RW	Регистр передаваемых данных.
GPIOxDIR	08h	RW	Регистр разрешения передачи.
GPIOxMSK	0Ch	RW	Регистр маски прерываний.
GPIOxPOL	10h	RW	Регистр настройки прерывания по событию, полярность сигнала.
GPIOxEDG	14h	RW	Регистр настройки прерывания по событию, составляющая сигнала.
GPIOxBPS	18h	RW	Регистр разрешения альтернативных функций

0-31 DATA Регистр принимаемых данных. Каждый разряд регистра соответствует каждой линии порта.

0-31 DATA Регистр передаваемых данных. Каждый разряд регистра соответствует каждой линии порта.

GPIOxDIR		Регистр разрешения передачи																																		
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Начальное состояние		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Описание		DATA																																		

0-31 DATA Регистр разрешения передачи. Каждый разряд регистра соответствует каждой линии порта. Если любой разряд регистра установлен в '1', то у соответствующей линии порта передача данных разрешена, если же разряд установлен в '0'- передача запрещена.

ИHB. № подп.	Подп. и дата	Бзм. иhb. №	Иhb. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист
22

0-31 DATA Регистр маски прерываний. Каждый разряд регистра соответствует каждой линии порта. Если любой разряд регистра установлен в '1', то у соответствующей линии порта разрешено прерывание по событию, если же разряд установлен в '0' - прерывание по событию запрещено.

0-31 DATA Регистр настройки прерывания по событию, полярность сигнала. Каждый разряд регистра соответствует каждой линии порта. Если любой разряд регистра установлен в '1', то соответствующая линия порта формирует прерывание по переднему фронту/высокому уровню, если же разряд установлен в '0'- формирует прерывание по заднему фронту/низкому уровню. Выбор фронта или уровня зависит от настройки соответствующего бита в регистре GPIOxEDG.

0-31	DATA	Регистр настройки прерывания по событию, составляющая сигнала. Каждый разряд регистра соответствует каждой линии порта. Если любой разряд регистра установлен в '1', то соответствующая линия порта формирует прерывание по фронту, если же разряд установлен в '0'- формирует прерывание уровню.
------	------	---

0-31 DATA Регистр разрешения альтернативных функций. Каждый разряд регистра соответствует каждой линии порта. Если любой разряд регистра установлен в '1', то у соответствующей линии порта выполнение альтернативной функции разрешено, если же разряд установлен в '0'- выполнение альтернативной функции запрещено.

<i>Инв. № подп.</i>	<i>Подп. и дата</i>	<i>Взам. инв. №</i>	<i>Инв. № глуб.</i>	<i>Подп. и дата</i>

5.2 Интерфейс UART(UARTx)

5.2.1 Краткие характеристики

- полнодуплексный режим;
- отдельные буферы FIFO глубиной 32 для приема и передачи;
- слово данных - 8 бит, фиксированное;
- настраиваемый контроль четности;
- 1 стоп-бит;
- аппаратный контроль потока данных (CTS, RTS);

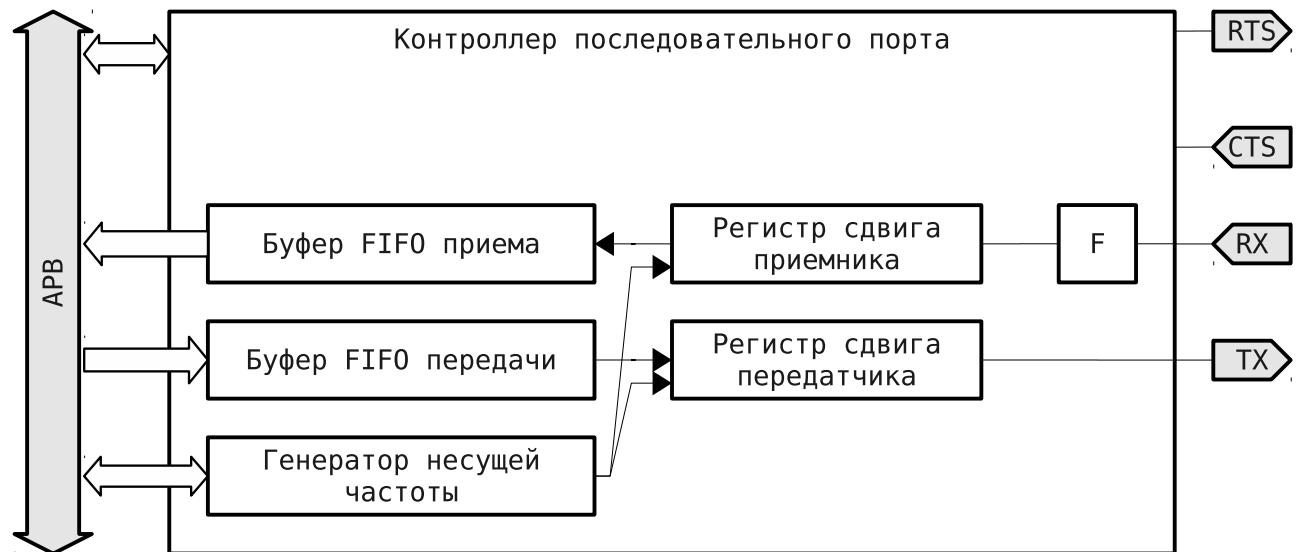


Рисунок 6 – Блок-схема UARTx

На рис.6 приведена блок-схема контроллера последовательного интерфейса UART.

Контроллер UART автоматически формирует бит контроля четности при передаче и производит контроль четности при приеме данных. Включение отключение режима контроля четности и его настройка производится в UARTxCR.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

5.2.2 Передача данных

Включение передатчика и разрешение его работы битом UARTxCR(TE). Данные для передачи записываются в буфер FIFO передачи. Пользователю доступен только вход FIFO. Обращение к нему происходит через UARTxDATA. Ширина буфера - 8 бит, глубина - 32.

Из буфера FIFO данные поступают в сдвиговый регистр, из которого они побитно (LSB) появляются на выходе TX. Старт-бит, стоп-бит и бит контроля четности (если разрешен) формируются автоматически. На рис.7 показаны возможные варианты формата передаваемых данных, для данного контроллера.

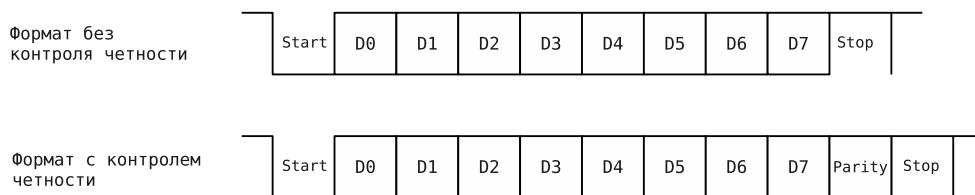


Рисунок 7 – Формат пакета данных

После завершения передачи последнего слова данных из буфера FIFO, после формирования стоп-бита, выход TX устанавливается в состояние логической '1', устанавливается признак пустого сдвигового регистра UARTxST(TS). После этого бит автоматически установится в состояние логического '0' как только данные появляются в буфере FIFO. Если буфер FIFO пуст, то выставляется бит UARTxST(TE). О заполнении буфера сигнализирует биты UARTxST(TF) - буфер полон и UARTxST(TH) - меньше половины буфера заполнено. Для контроля заполнения буфера FIFO существует счетчик - UARTxST(TCNT). Разрешение запросов прерывания по событиям буфера контролируется битом UARTxCR(TF).

При запрете работы передатчика передача немедленно прекращается, обрывается так же передача текущего слова данных из сдвигового регистра передатчика.

Если разрешен аппаратный контроль потока данных, то данные из сдвигового регистра будут передаваться только если CTS в состоянии логического '0'. Если в процессе передачи сигнал выставить в состояние логической '1', то передача прекратиться, возобновиться только, когда CTS вернуть в состояние логического '0'.

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

5.2.3 Прием данных

Включение приемника и разрешение его работы битом UARTxCR(RE). Принятые данные записываются в буфер FIFO приема. Пользователю в обычном режиме доступен только выход FIFO. Обращение к нему происходит через UARTxDATA. Ширина буфера - 8 бит, глубина - 32. Принимаемый сигнал проходит цифровой фильтр низких частот.

Приемник следит за состоянием сигнала на входе и в случае перехода сигнала из состояния логической '1' в состояние '0' начинается прием данных. Через $\frac{T_{UART}}{2}$ фиксируется состояние входного сигнала, где T_{UART} - период одного бита слова данных. Если не будет зафиксирован стартовый бит, то приемник перейдет обратно в режим ожидания. Если стартовый бит принят, то произойдет прием оставшихся бит слова данных и служебных бит. После приема последнего бита данные помещаются в буфер FIFO, устанавливается бит UARTxST(DR). В регистре UARTxST устанавливаются биты ошибок приема, если таковые зафиксированы. Биты ошибок очищаются только программно.

В случае, если в сдвиговом регистре находятся принятые данные и буфер FIFO полон, а на входе приемника зафиксирован старт бит, то данные в сдвиговом регистре будут потеряны. При этом будет установлен бит UARTxST(OV).

О заполнении буфера сигнализирует биты UARTxST(RF) - буфер полон и UARTxST(RH) - меньше половины буфера заполнено. Для контроля заполнения буфера FIFO существует счетчик - UARTxST(RCNT). Разрешение запросов прерывания по событиям буфера контролируется битом UARTxCR(RF).

Если разрешен аппаратный контроль потока данных и буфер FIFO полон, то RTS перейдет в состояние логической '1'. Как только из буфера будет считано хотя бы одно слово данных, RTS автоматически перейдет в состояние логического '0'.

5.2.4 Установка скорости передачи

Для установки скорости передачи данных существует предделитель системной частоты, коэффициент деления которого задается в регистре UARTxBDR (формула приведена ниже).

$$BRDIV = \frac{F_{sys}}{8 \cdot F_{UART} - 1};$$

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

5.2.5 Режимы самотестирования

В режимах самотестирования все выходы контроллера переводятся в неактивный режим.

5.2.5.1 Режим самотестирования на уровне интерфейсных линий В данном режиме внутри микросхемы выход передатчика UART коммутируется со входом приемника, а сигнал CTS коммутируется с RTS. Включение этого режима происходит путем установки бита UARTxCR(LB).

5.2.5.2 Режим самотестирования на уровне данных В данном режиме разрешается запись в буфер FIFO приема и чтение из буфера FIFO передачи. Чтение и запись осуществляются через регистр UARTxFIFODBG. Включение этого режима происходит путем установки бита UARTxCR(LB).

5.2.6 Формирование прерываний

Запросы прерывания формируются в следующих случаях:

От сдвигового регистра передатчика:

- работа передатчика разрешена: установлен бит UARTxCR(TE);
- прерывания от передатчика разрешены: установлен бит UARTxCR(TI).

От буфера FIFO передачи:

- работа передатчика разрешена: установлен бит UARTxCR(TE);
- прерывания от буфера разрешены: установлен бит UARTxCR(TF);

От сдвигового регистра приемника:

- работа приемника разрешена: установлен бит UARTxCR(RE);
- прерывания от передатчика разрешены: установлен бит UARTxCR(RI).

От буфера FIFO приема:

- работа приемника разрешена: установлен бит UARTxCR(RE);
- прерывания от буфера разрешены: установлен бит UARTxCR(RF);

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист

27

5.2.6.1 Режим отложенных прерываний приемника Режим включается установкой бита UARTxCR(DI). Прерывание от приемника формируется только в случае образование паузы после приема последнего слова данных. Пауза равна времени приема 4,5 слов данных. Если разрешено прерывание от буфера FIFO приема, то прерывание от сдвигового регистра будут очищаться. Активными будут только прерывания от буфера.

Примечание: разрешение данного режима не влияет на формирование запроса прерывания при получении символа прекращения транзакции.

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

28

5.2.7 Описание регистров

Базовый адрес UART0 - 0xC000 0100

Базовый адрес UART1 - 0xC000 0200

Базовый адрес UART2 - 0xC010 0100

Базовый адрес UART2 - 0xC010 0200

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
UARTxDATA	00h	RW	Регистр данных (FIFO)
UARTxST	04h	R	Регистр состояния
UARTxCR	08h	RW	Регистр управления
UARTxDBR	0ch	RW	Регистр коэффициента делителя тактовой частоты

UARTxDATA	Регистр данных																													
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																													
Начальное состояние	—																													
Описание	—																													DATA

8-31 — зарезервировано

0-7 DATA Регистр данных. При записи является входом 32 байтового буфера FIFO передатчика. При чтении является выходом 32 байтового буфера FIFO приемника.

UARTxST	Регистр состояния																																			
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																			
Начальное состояние	— — —																																			
Описание	RCNT TCNT зарезервировано																													RF TF RH TH FE PE OV BR TE TS DR						
26-31	RCNT	Счетчик данных FIFO приемника																																		
20-25	TCNT	Счетчик данных FIFO передатчика																																		
11-19	—	зарезервировано																																		
10	RF	FIFO приемника заполнен																																		
9	TF	FIFO передатчика заполнен																																		
8	RH	FIFO приемника заполнен наполовину и более																																		
7	TH	FIFO приемника передатчика наполовину и более																																		
6	FE	Ошибка формата принятых данных																																		
5	PE	Ошибка контроля четности принятых данных																																		
4	OV	Один или более символов принятых данных потеряны из-за переполнения																																		
3	BR	Специальный символ завершения обмена получен (BREAK)																																		
2	TE	FIFO передатчика пуст																																		
1	TS	Сдвиговый регистр передатчика пуст																																		
0	DR	Новые символы зафиксированы в регистре приемника																																		

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

MKФЕ.431281.501 РЭ

Лист
29

UARTxBDR		Регистр коэффициента делителя тактовой частоты																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		—																—															
Описание		зарезервировано																BRDIV															
12-31	—	зарезервировано																зарезервировано															
0-11	BRDIV	Коэффициент деления системной частоты для формирования требуемой скорости обмена данными																$BRDIV = F_{sys}/BR^*8$, где F_{sys} в Гц, а BR в бит/с															

И HB. № подп.	Подп. и дата	Bзам. И HB. №	I HB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист
31

5.3 Интерфейс SPI(SPIx)

5.3.1 Краткие характеристики

- может работать в режимах «ведущий» или «ведомый»;
- поддерживаются все режимы SPI, а также трехпроводной режим, в котором используется одна двунаправленная линия данных;
- настраиваемая длина слова данных;
- отдельные буферы FIFO глубиной 32 для приема и передачи;
- селектор на 3 ведомых устройства;
- устанавливаемый пользователем формат слова данных — LSB или MSB;
- устанавливаемые пользователем полярность CPOL и фаза СРНА тактового сигнала;
- устанавливаемая пользователем скорость обмена данными.

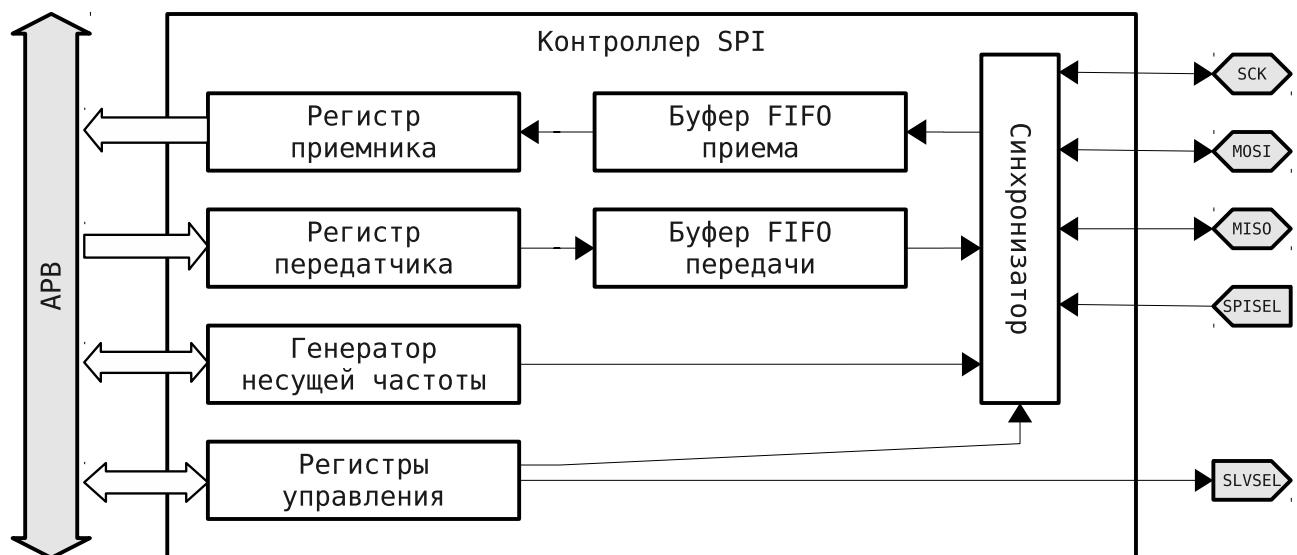


Рисунок 8 – Блок-схема SPIx

Интерфейс SPI является полно-дуплексным. Передача начинается как только «ведущий» перевел сигнал SLVSEL у соответствующего «ведомого» в активное состояние, так же SCK выведена из неактивного состояния.

Данные передаются «ведущим» по линии MOSI, принимаются по MISO.

Изв.	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист	32

В системе в одним «ведущим» и одним «ведомым» можно не управлять сигналом SLVSEL, он может всегда находиться в активном состоянии.

В системе с несколькими «ведущими» каждый из них производит мониторинг сигнала SPISEL что бы избежать конфликтов с другим «ведущим». Если на входе SPISEL появился активный уровень, то «ведущий», принявший его, выключается.

В процессе приема или передачи, данные меняются при изменении состояния SCK. Значения начального состояния и активного фронта SCK определяют режим работы SPI. На рис.9 приведены диаграммы режимов работы SPI при передаче 0x55 в режиме MSB. Стоит отметить, что данные должны быть готовы в буфере передачи до первой смены состояния SCK.

При работе в режиме «ведомый» передача данных по линии MISO будет задержана так как необходимо синхронизировать передатчик. Смотрите описание в п.5.3.6.

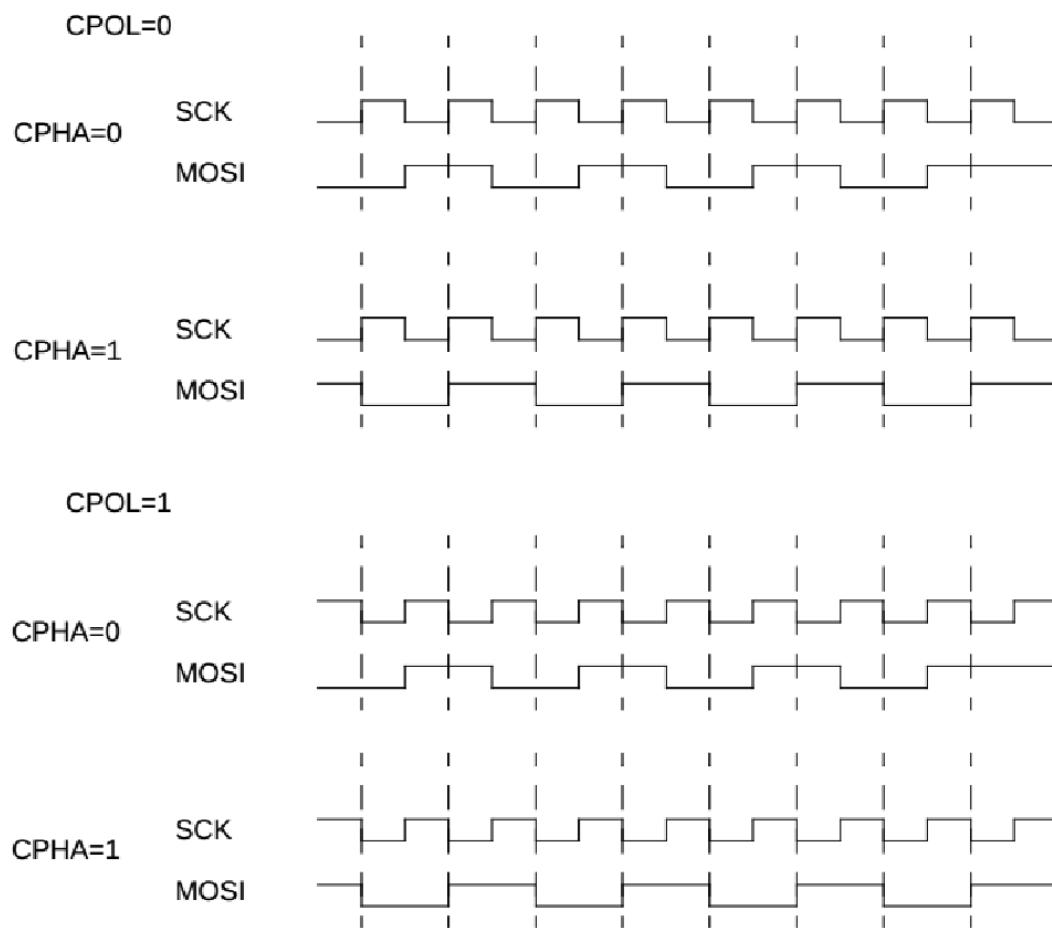


Рисунок 9 – Режимы работы SPI

Инв. № подп.	Подп. и дата	Бзакм. инв. №	Инв. № дубл.	Подп. и дата

5.3.2 Трех-проводный режим

Контроллер интерфейса может быть настроен на работу в трехпроводном режиме (смотрите регистр SPIxCR(TWEN)). Работа будет происходить в полудуплексном режиме. В данном режиме используется одна двунаправленная линия приема-передачи данных вместо двух однонаправленных для приема и передачи.

Для обмена данными используется линия MOSI, MISO в данном режиме не задействуется. Направление обмена данными выбирается в регистре SPIxCR(TTO).

Смена данных на линии приема-передачи в соответствии с полярностью и фазой сигнала тактирования так же как и в четырех-проводном режиме работы.

5.3.3 Прием и передача данных

Контроллер интерфейса имеет отдельные регистры и буферы FIFO для приема и передачи. Разрядность буфера FIFO - 32 бита, глубина - 32. Разрядность слова данных определяется в SPIxCR(TWEN). Если в буфере передачи есть свободное место, то устанавливается бит в регистре SPIxST(NF), в буфер можно посыпать данные. Если в буфере приема содержится хотя бы одно полностью принятное слово, то устанавливается бит в регистре SPIxST(NE). Если возникла ситуация, что принято более 33 и более слов данных, то устанавливается бит SPIxST(OV). При работе в режиме «ведомого» контроллер интерфейса может детектировать ситуацию, когда он был выбран «ведущим» (SPISEL принял значение логический '0'), а в буфере передачи нет данных. В этом случае устанавливается бит в регистре SPIxST(UN).

5.3.4 Тактовый сигнал SCK

Генерировать сигнал SCK контроллер интерфейса может только при работе в режиме «ведущего». Параметры для генератора SCK задаются в регистре SPIxCR.

$$F_{SCK} = \frac{F_{sys}}{(4 - (2 \cdot FACT))(PM + 1)}, \quad DIV16 = 0;$$

$$F_{SCK} = \frac{F_{sys}}{16(4 - (2 \cdot FACT))(PM + 1)}, \quad DIV16 = 1;$$

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.3.5 Работа в режиме «ведущий»

В данном режиме как только данные доступны появляются в буфере FIFO передачи, они сразу передаются. Если данные переданы и буфер передачи пуст, то SCK не подается.

Если во время работы в данном режиме сигнал SPISEL примет значение логический '0', контроллер интерфейса прекратит передачу данных и установит бит в регистре SPIxST(MME). Бит разрешения работы в режиме «ведущий» в регистре SPIxCR(MS) сбрасывается.

Поведение контроллера интерфейса при изменении сигнала SPISEL определяется в регистре SPIxCR(IGSEL).

5.3.6 Работа в режиме «ведомый»

В данном режиме контроллер интерфейса не управляет линиями интерфейса пока сигнал SPISEL от «ведущий» не примет значение логический '0'. Как только это произошло, MISO конфигурируется как выход и этот выход принимает состояние соответствующее первому биту данных буфера FIFO передачи. Если контроллер интерфейса работает в трех-проводном режиме, то ожидается окончания приема слова по линии MOSI и после этого MOSI конфигурируется как выход. Если буфер передачи пуст, то линия передачи принимает состояние логической '1'.

Частота SCK в данном режиме должна удовлетворять следующему условию:

$$F_{SCK} \leq \frac{F_{sys}}{8};$$

Передатчик контроллера интерфейса синхронизируется от внешнего SCK, поэтому новые данные на линии MISO появятся только через 2 периода F_{sys} после фронта SCK.

Так же контроллер интерфейса может применять внутренний фильтр для SCK, это управляется регистром SPIxCR(PM). SPIxCR(PM) определяет какое время, выраженное в периодах F_{sys} сигнал SCK должен быть стабилен. При каждом увеличении PM на 1 задержка выдачи очередных данных на линию MISO увеличивается на 2 периода F_{sys} . Так же необходимо увеличивать период SCK на это же значение, рассчитанной из условий, упомянутых выше.

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

5.3.7 Описание регистров

Базовый адрес SPI0 - 0xC010 2000

Базовый адрес SPI1 - 0xC010 2100

Базовый адрес SPI2 - 0xC010 2200.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
SPIxCFG	00h	RW	Регистр установок конфигурации
SPIxCR	20h	RW	Регистр управления
SPIxST	24h	RW	Регистр состояния
SPIxMSK	28h	RW	Регистр маски
SPIxCMD	2Ch	RW	Регистр команд
SPIxTX	30h	W	Регистр передаваемых данных
SPIxRX	34h	R	Регистр принимаемых данных
SPIxSS	38h	RW	Регистр выбора ведомого устройства

SPIxCFG		Регистр конфигурации																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0x3 0																															
Описание		SSSZ										MAXWLEN				TWEN	-	SSEN	FDEPTH										—				

24-31	SSSZ	число линий выборок ведомого устройства
20-23	MAXWLEN	максимальная поддерживаемая длина слова данных (0-32)
19	TWEN	разрешение трёхпроводного режима ('1' - разрешено, '0' - запрещено)
17-18	—	зарезервировано
16	SSEN	разрешение сигналов выбора ведомого устройства ('1' - разрешено, '0' - запрещено)
8-15	FDEPTH	глубина FIFO RX, TX
0-7	—	зарезервировано

SPIxCR		Регистр управления																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
Описание		-	LOOP	CPOL	CPHA	DIV16	REV	MS	EN	LEN				PM				TWEN	-	FACT	-	CG				-	TTO	-					

31	—	зарезервировано
30	LOOP	режим самотестирования ('1' - разрешено, '0' - запрещено)
29	CPOL	состояние SCK в режиме ожидания ('1' - логическая 1 , '0' - логический 0)
28	CPHA	настройка фазы синхросигнала ('1' - данные будут прочитаны на втором переходе состояния SCK, '0' - данные будут прочитаны при первом переходе состояния SCK)
27	DIV16	разрешение делителя на 16 (только в режиме ведущего) ('1' - разрешено, '0' - запрещено)
26	REV	направление передачи ('1' - MSB, '0' - LSB)
25	MS	выбор режима ('1' - ведущий, '0' - ведомый)
24	EN	разрешение работы ('1' - разрешено, '0' - запрещено)
20-23	LEN	длина слова данных 0x0 - длина слова 32 бита 0x1-0x2 - недопустимые значения 0x3-0xf - 4-16 бит соответственно
16-19	PM	режим предделителя (только в режиме ведущего): если DIV16 = 0: $F_{sck} = \frac{F_{sys}}{(4-2 \cdot FACT \cdot (PM-1))}$ если DIV16 = 1: $F_{sck} = \frac{F_{sys}}{(16 \cdot (4-2 \cdot FACT \cdot (PM-1)))}$

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

MKФЕ.431281.501 РЭ

Лист

36

15	TWEN	трёхпроводной режим ('1' - разрешено, '0' - запрещено)
14	—	<i>зарезервировано</i>
13	FACT	режим предделителя частоты (1 - совместимость с MCP83xx):
12	—	<i>зарезервировано</i>
7-11	CG	прекращение подачи сигнала SCK после передачи каждого слова данных на N периодов (только в режиме ведущего)
4-6	—	<i>зарезервировано</i>
3	TT0	порядок передачи при работе по трёхпроводной линии ('1' - ведомый передаёт первый, '0' - ведущий передаёт первый)
0-2	—	<i>зарезервировано</i>

SPIxST		Регистр состояния																							
Номер бита		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Начальное состояние		0 0																							
Описание		TIP —																							

Для всех разрядов регистра: ('1' - наличие признака, '0' - отсутствие признака)

31	TIP	передаётся слово данных
15-30	—	<i>зарезервировано</i>
14	LT	последнее слово данных передано: буфер передатчика пуст или в SPIxCMD записан бит LST (бит очищается записью '1')
13	—	<i>зарезервировано</i>
12	OV	буфер приемника заполнен, новые данные игнорируются (бит очищается записью '1')
11	UN	отсутствуют данные для передачи в буфере, при запросе ведущего (только в режиме ведомого)
10	MME	ошибка при работе в системе с несколькими ведущими (возникает, когда в режиме ведущего появляется сигнал SPISEL)
9	NE	буфер приемника содержит данные
8	NF	буфер передатчика имеет свободное место
0-7	—	<i>зарезервировано</i>

SPIxMSK		Регистр маски																							
Номер бита		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																							
Начальное состояние		0 0																							
Описание		TIPE —																							

Для всех разрядов регистра: ('1' - прерывание разрешено , '0' - прерывание запрещено)

31	TIPE	передаётся слово данных
15-30	—	<i>зарезервировано</i>
14	LTE	последнее слово данных передано: буфер передатчика пуст
13	—	<i>зарезервировано</i>
12	OVE	буфер приемника заполнен, новые данные игнорируются
11	UNE	отсутствуют данные для передачи в буфере, при запросе ведущего (только в режиме ведомого)
10	MMEE	ошибка при работе в системе с несколькими ведущими
9	NEE	буфер приемника содержит данные
8	NFE	буфер передатчика имеет свободное место
0-7	—	<i>зарезервировано</i>

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

MKФЕ.431281.501 РЭ

Лист
37

SPIxCMD		Регистр команд																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																0															
Описание		—																—															

23-31 — зарезервировано

22 LST данные для передачи, ширина и порядок следования битов определяются в SPIxCR. Запись в регистр возможна только при SPIxST(NF) = '1'

0-21 — зарезервировано

SPIxTX		Регистр передаваемых данных																																
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Начальное состояние		0																TDATA																
Описание		—																RDATA																

0-31 TDATA данные для передачи, ширина и порядок следования битов определяется в регистре SPIxCR. Данные действительны, если SPIxST(NF) = '1', для REV = '0' SPIxCR – LSB размещается в бите 0, для REV = '1' SPIxCR – MSB размещается в бите 31 При 8 битном слове байт 0xAB на передачу получит следующее расположение: для REV = '0' - 0x000000AB, для REV = '1' - 0xAB000000

SPIxRX		Регистр принимаемых данных																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																—															
Описание		—																SLVSEL															

3-31 — зарезервировано

0-2 SLVSEL номер подчиненного устройства, с которым необходимо произвести обмен данными

Изв.	Подп. и дата	Взам. Изв. №	Изв. № дубл.

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

MKФЕ.431281.501 РЭ

Лист
38

5.4 Интерфейс I^2C «ведущий» (I2C0)

5.4.1 Краткие характеристики

- работает в режиме «ведущий»;
- совместим со стандартом Philips I^2C ;
- поддерживает 7-ми и 10-ти битную адресацию;
- скорость обмена - 100кбит/с и 400кбит/с;
- требуется установка внешних подтягивающих резисторов на линии SCA и SDA.

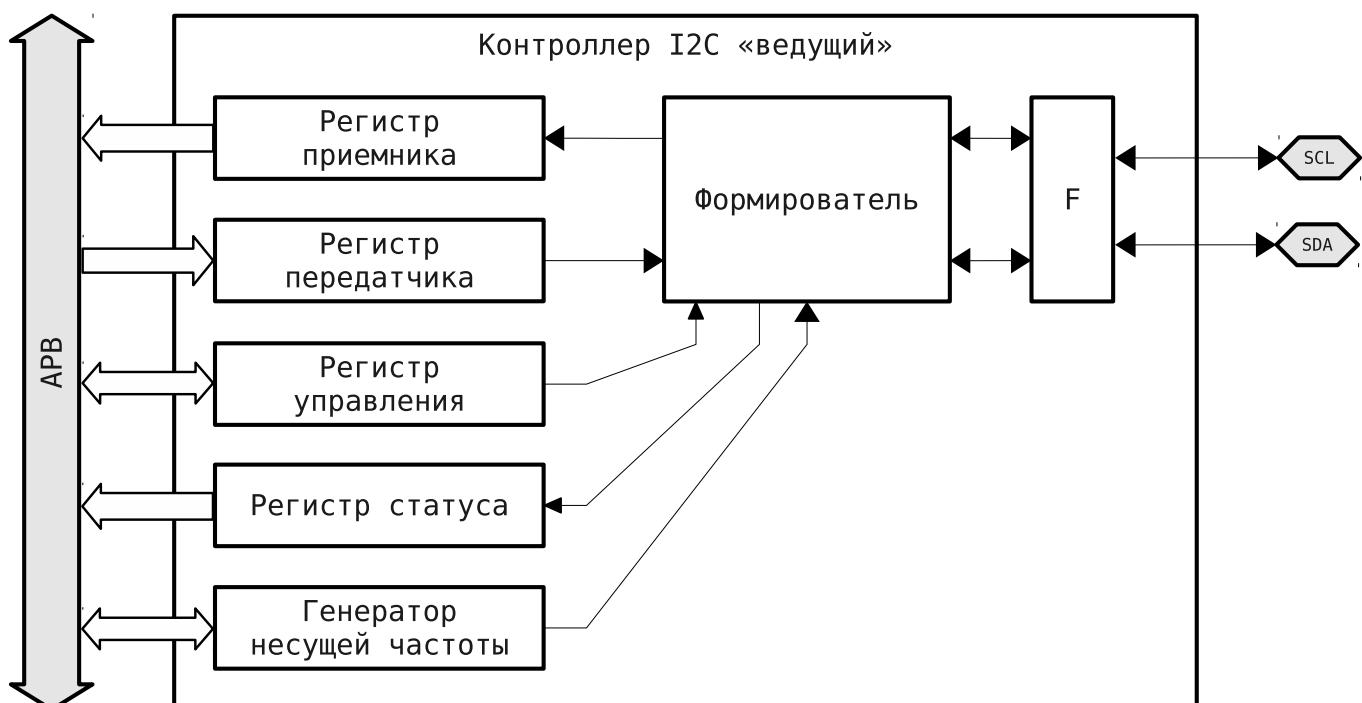


Рисунок 10 – Блок-схема I2C0 («ведущий»)

В МП I2C0 работает только в режиме «ведущий».

I^2C простой двухпроводной последовательный интерфейс с возможностью работы нескольких «ведущих» на одной физической линии. Интерфейс обеспечивает детектирование коллизий и арбитраж. I^2C имеет 2 физических линии SDA (serial data line) и SCL (serial clock line).

На рис.10 приведена блок-схема описываемого контроллера интерфейса. На входе внешних линий интерфейса установлен цифровой фильтр низких частот.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

5.4.2 Общее описание протокола приема-передачи

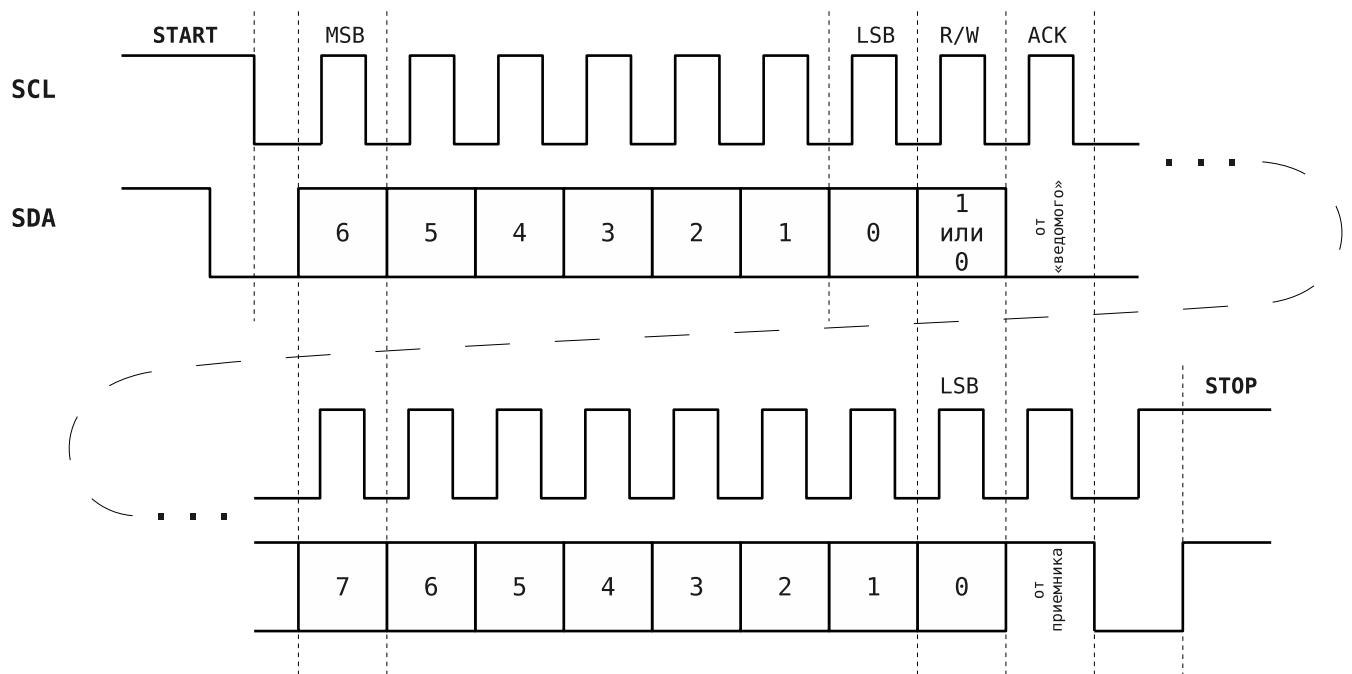


Рисунок 11 – Транзакция на шине I^2C

Прием-передача данных осуществляется побайтно.

Начало транзакции по шине I^2C определяется состоянием «START» на линиях SDA, SLC: переход линии SDA из состояния '1' в состояние '0' при состоянии SCL - '1'.

Окончание транзакции определяется состоянием «STOP» на линиях SDA, SLC: переход линии SDA из состояния '0' в состояние '1' при состоянии SCL - '1'.

Состояния «START», «STOP» формируются только «ведущим» шины. После формирования состояния «START» «ведущим» шины, шина считается занятой и освобождается только после формирования, занявшим ее «ведущим» состояния «STOP». Время между «STOP» и «START» определяется стандартом I²C и зависит от текущей скорости ее работы.

На рис. 13 приведены примеры состояния линий SDA, SLC при транзакциях. «Ведущий» шины формирует состояние «START» и передает 7-ми битный адрес «ведомого» устройства. После адреса следует бит R/\overline{W} определяющий направление передачи данных ('1' - чтение из «ведомого» устройства, '0' - запись в «ведомое» устройство). После передачи адреса и бита R/\overline{W} , «ведущий» шины освобождает линию SDA, а «ведомый» должен привести линию SDA в состояние '0'. Если этого не произошло, то считается, что не принят сигнал ACK(подтверждение) от «ведомого». «Ведущий» шины может сформировать состояние «STOP» и повторить транзакцию с этим «ведомым» или предпринять другие действия, заложенные в алгоритм его работы.

Инв. № подп.	Подп. и дата	Бзлм. инв. №	Инв. № дубл.	Подп. и дата

Если от «ведомого» принят сигнал ACK, то начинается передача данных, направление которой было определено битом R/\overline{W} . Данные могут передаваться до тех пор, пока приемник на каждый переданный байт информации отвечает ACK. Т.е. после передачи каждого байта данных, передатчик освобождает на один период SLC линию SDA, что бы приемник мог сообщить принят или не принят им байт информации или готов или не готов он принимать следующий. После ответа NAK (во время ожидания ACK подана '1') «ведущий» формирует состояние «STOP». «Ведущий» так же может прервать транзакцию, сформировав состояние «STOP».

5.4.3 Генерация несущей частоты

Контроллер I^2C формирует две частоты: для внешнего тактирования по линии SCL и для тактирования внутренних блоков в пять раз превышающую частоту на линии SCL. Для расчета значения коэффициента деления предделителя частоты тактирования контроллера (I2CxPSC(PSC) используется следующая формула:

$$PSC = \frac{F_{sys}}{5 \cdot F_{SCL}} - 1$$

Коэффициента деления предделителя может быть изменен только при отключенном контроллере I^2C (бит I2CxCR(EN)).

Минимально рекомендуемое значение коэффициента равно 3, что бы соблюдались допуски протокола по синхронизации. Это так же накладывает ограничение на минимальную частоту тактирования контроллера. При скорости обмена 100кбит/с минимальная рекомендуемая частота тактирования будет равной 2МГц. Но при скорости обмена 400кбит/с частота 2МГц будет недостаточной для соблюдения требования ко времени установки данных. Исходя из этого частота тактирования контроллера должна быть не менее 20МГц.

5.4.4 Алгоритм работы с интерфейсом

Для разрешения работы контроллера надо записать в I2CxPSC(PSC) необходимого значения и установить бит I2CxCR(EN) = '1'. Прерывания разрешаются битом I2CxCR(IEN).

Ниже описаны примеры взаимодействия с «ведомым» устройством. При работе с реальными устройствами внимательно читайте их документация и описание протокола взаимодействия с ними, они могут отличаться от описанных ниже.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист
41

5.4.4.1 Запись данных Для передачи байта данных в «ведомое» устройство, «ведущий» I^2C должен сформировать состояние «START» на линиях SDA, SCL, послать адрес «ведомого» устройства и признак направления $R/\bar{W} = '0'$. «Ведомое» устройство должно ответить посылкой ACK. За тем «ведущий» посыпает байт данных, ждет сигнала ACK и формирует состояние «STOP».

- записать байт данных содержащий адрес «ведомого» и $R/\bar{W} = '0'$ в I2CxTX;
- сформировать состояние «START» на линиях SDA, SCL, записав биты I2CxCMD(WR) = '0' и I2CxCMD(STA) = '1';
- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать бит I2CxST(RxACK). Если бит равен '0', то «ведомый» принял информацию, можно продолжать дальше транзакцию. Если бит равен '1', повторить пункты сначала, «ведомый» по каким-то причинам не принял информацию;
- записать данные для передачи в I2CxST;
- сформировать состояние «STOP» I2CxCMD(WR) = '1' и I2CxCMD(STO) = '1';
- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать бит I2CxST(RxACK). Если бит равен '0', то «ведомый» принял данные.

5.4.4.2 Чтение данных Для чтения байта данных с произвольного адреса в «ведомом» устройстве, «ведущий» I^2C должен сформировать состояние «START» на линиях SDA, SCL, послать адрес «ведомого» устройства и признак направления $R/\bar{W} = '0'$. За тем «ведущий» посыпает байт(ы) содержащие внутренний адрес для «ведомого» устройства. Посторно формирует состояние ста «START» на линиях SDA, SCL, посыпает адрес «ведомого» устройства и признак направления $R/\bar{W} = '1'$. Принимает байт(ы) данных от «ведомого», отвечая ACK. После принятия последнего байта данных отвечает NACK. Формирует состояние «STOP».

Стоит помнить, что регистр I2CxRX перезаписывается каждый раз, когда принимается новые байт данных.

- записать байт данных содержащий адрес «ведомого» и $R/\bar{W} = '0'$ в I2CxTX;
- сформировать состояние «START» на линиях SDA, SCL, записав биты I2CxCMD(WR) = '1' и I2CxCMD(STA) = '1';
- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать бит I2CxST(RxACK). Если бит равен '0', то «ведомый» принял информацию, можно продолжать дальше транзакцию. Если бит равен '1', повторить пункты сначала, «ведомый» по каким-то причинам не принял информацию;
- записать данные для передачи в I2CxST и установить бит I2CxCMD(WR) = '1';

Изв. № подп.	Подп. и дата	Бзм. изв. №	Изв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать бит I2CxST(RxACK). Если бит равен '0', то «ведомый» принял информацию, можно продолжать дальше транзакцию. Если бит равен '1', повторить пункты сначала, «ведомый» по каким-то причинам не принял информацию;
- повторить предыдущие 3 пункта до тех пор, пока не будут переданы все байты, содержащие внутренний адрес в «ведомом»;
- записать байт данных содержащий адрес «ведомого» и $R/\bar{W} = '1'$ в I2CxTX;
- сформировать состояние «STOP» I2CxCMD(WR) = '1' и I2CxCMD(STO) = '1';
- сформировать состояние «START» на линиях SDA, SCL, записав биты I2CxCMD(WR) = '1' и I2CxCMD(STA) = '1';
- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать бит I2CxST(RxACK). Если бит равен '0', то «ведомый» принял информацию, можно продолжать дальше транзакцию. Если бит равен '1', повторить пункты сначала, «ведомый» по каким-то причинам не принял информацию;
- прочитать байт данных из «ведомого», установив I2CxCMD(RD) = '1', I2CxCMD(STO) = '1', I2CxCMD(ACK) = '1';
- подождать пока бит I2CxST(TIP) примет значение '0';
- прочитать данные из регистра I2CxRX, сохранить в ПД.
- если требуется прочитать несколько байт данных из «ведомого» то необходимо повторять предыдущие 3 пункта но не устанавливать I2CxCMD(STO) = '1', I2CxCMD(ACK) = '1' до тех пор, пока не будет считано требуемое количество байт данных;

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист

43

5.4.5 Описание регистров

Базовый адрес I2C0 - 0xC000 1000.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
I2CxPSC	00h	RW	Регистр предделителя тактовой частоты
I2CxCR	04h	RW	Регистр управления
I2CxTX	08h	W	Регистр передаваемых данных
I2CxRX	08h	R	Регистр принимаемых данных
I2CxCMD	0Ch	W	Регистр команд
I2CxST	0Ch	R	Регистр состояния

I2CxPSC Номер бита Начальное состояние Описание	Регистр предделителя		
	31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0		
—			PSC
16-31 — зарезервировано			
0-15 PSC значение предделителя			
I2CxCR Номер бита Начальное состояние Описание	Регистр управления		
	31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0		
—			EN IEN —
8-31 — зарезервировано			
7 EN разрешение работы контроллера ('1' - разрешено, '0' - запрещено)			
6 IEN разрешение прерывания по завершению передачи ('1' - разрешено, '0' - запрещено)			
0-5 — зарезервировано			
I2CxTX Номер бита Начальное состояние Описание	Регистр передаваемых данных		
	31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0		
—			TDATA RW
8-31 — зарезервировано			
7 TDATA старшие 7 бит передаваемых данных			
0-6 RW бит R/W при передачи адреса «ведомого», в остальных случаях – младший бит данных			
I2CxRX Номер бита Начальное состояние Описание	Регистр принимаемых данных		
	31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
	0		
—			RDATA
8-31 — зарезервировано			
0-7 RDATA последний принятый байт данных			

Изв.	Подп. и дата	Взам. Изв. №	Изв. № дубл.	Подп. и дата

MKФЕ.431281.501 РЭ

Лист

44

I2CxCMD		Регистр команд																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																															
Описание		—																													IACK		
8-31	—	зарезервировано																															
7	STA	сформировать последовательность START(RESTART) ('1' — сформировать)																															
6	STO	сформировать последовательность STOP ('1' — сформировать)																															
5	RD	чтение из ведомого устройства ('1' — считать)																															
4	WR	запись в ведомое устройство ('1' — записать)																															
3	ACK	подтверждение получения данных ('0' – ACK, '1' – NACK)																															
1-2	—	зарезервировано																															
0	IACK	сброс бита I2CxST(IF) ('1' — сбросить)																															

И HB. № подп.	Подп. и дата	Bзам. И HB. №	И HB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

MKФE.431281.501 РЭ

Лист
45

I2CxST		Регистр состояния																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																															
Описание		—																															
8-31	—	зарезервировано																															
7	RxACK	принят ACK																															
6	BUSY	шина занята (обнаружено состояние START, сбрасывается при обнаружении STOP)																															
5	AL	потеря контроля над шиной																															
2-4	—	зарезервировано																															
1	TIP	признак передачи данных, и формирования STOP																															
0	IF	байт передан или потерян контроль над линией. Если бит I2CxCR(IEN) = '1', то будут возникать запросы прерывания, даже если очистить этот бит																															

ИHB. № подп.	Подп. и дата	Бзам. ИHB. №	ИHB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

MKФE.431281.501 РЭ

Лист
46

5.5 Интерфейс I^2C «ведомый» (I2C1)

5.5.1 Краткие характеристики

- работает в режиме «ведомый»;
- совместим со стандартом Philips I^2C ;
- поддерживает 7-ми битную адресацию;
- скорость обмена - 100кбит/с и 400кбит/с;
- требуется установка внешних подтягивающих резисторов на линии SCA и SDA.

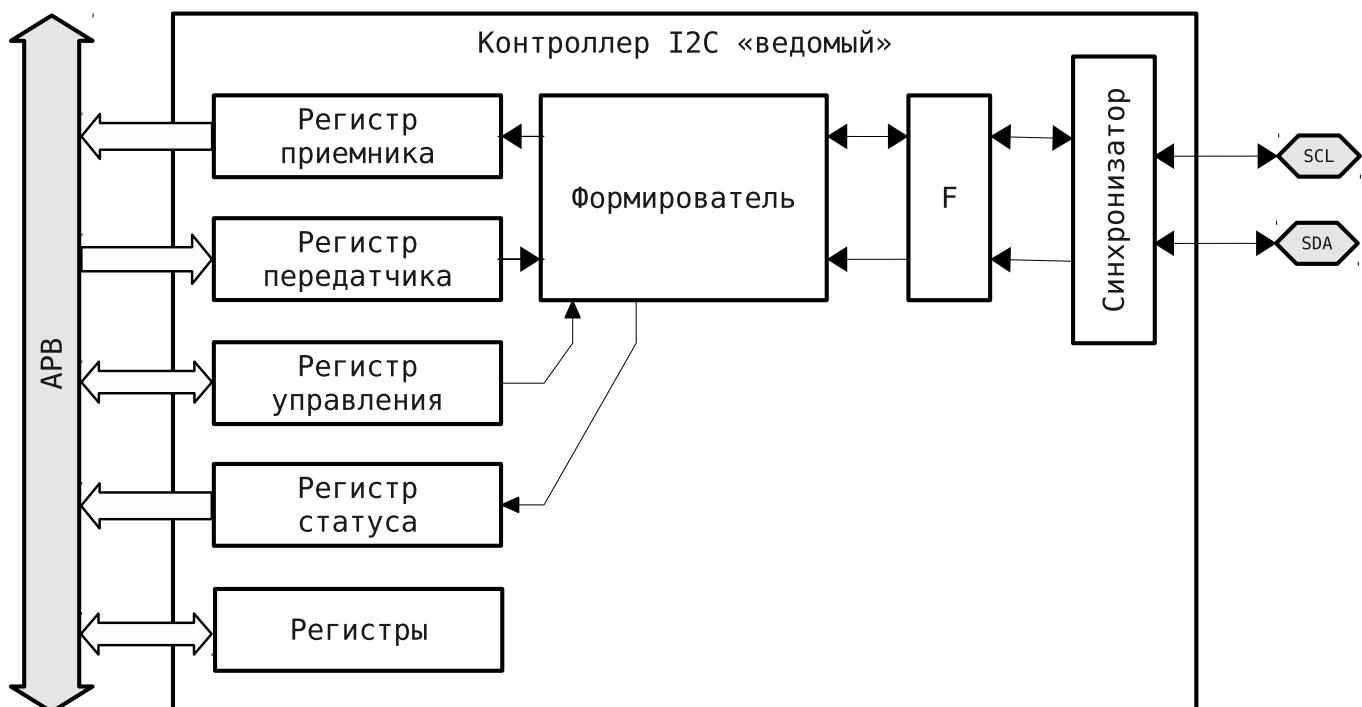


Рисунок 12 – Блок-схема I2C1 («ведомый»)

В МП I2C1 работает только в режиме «ведомый».

I^2C простой двухпроводной последовательный интерфейс с возможностью работы нескольких «ведущих» на одной физической линии. Интерфейс обеспечивает детектирование коллизий и арбитраж. I^2C имеет 2 физических линии SDA (serial data line) и SCL (serial clock line).

На рис.10 приведена блок-схема описываемого контроллера интерфейса. На входе внешних линий интерфейса установлен цифровой фильтр низких частот.

Инв. № подп.	Подп. № дата	Взам. инв. №	Инв. № дубл.	Подп. № дата

5.5.2 Общее описание протокола приема-передачи

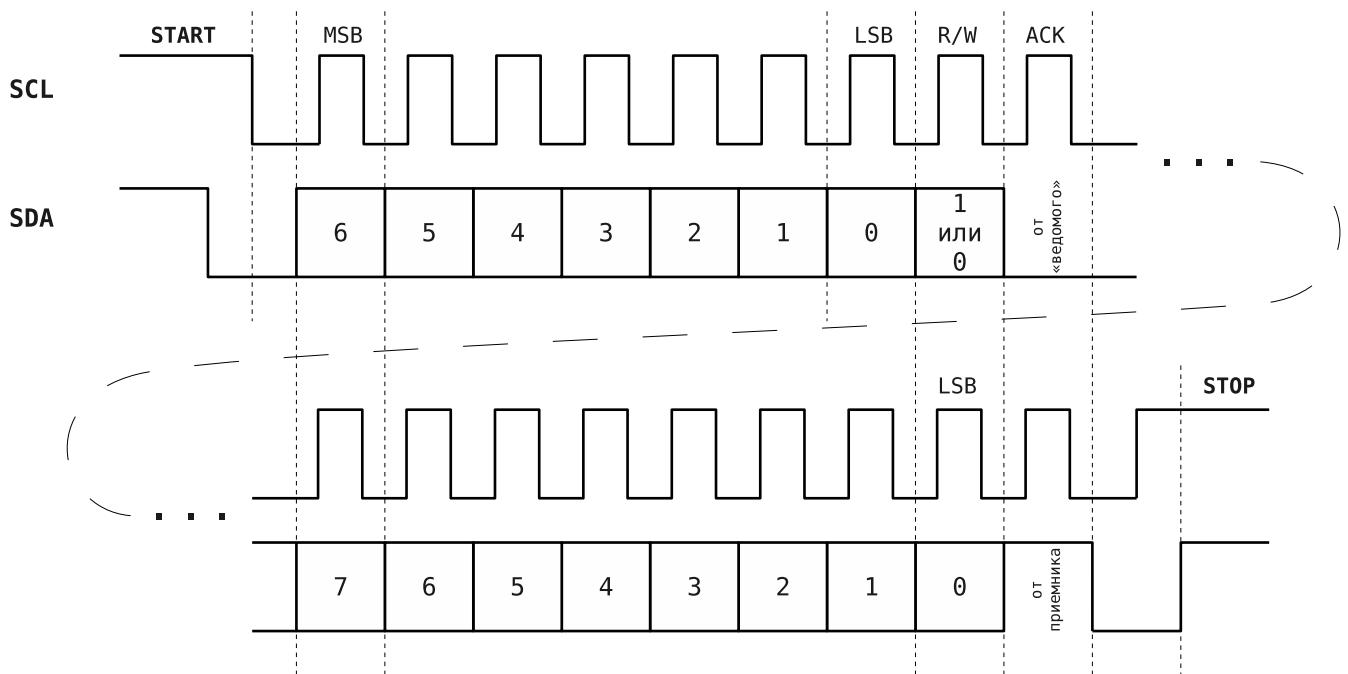


Рисунок 13 – Транзакция на шине I^2C

Прием-передача данных осуществляется побайтно.

Начало транзакции по шине I^2C определяется состоянием «START» на линиях SDA, SLC: переход линии SDA из состояния '1' в состояние '0' при состоянии SCL - '1'.

Окончание транзакции определяется состоянием «STOP» на линиях SDA, SLC: переход линии SDA из состояния '0' в состояние '1' при состоянии SCL - '1'.

Состояния «START», «STOP» формируются только «ведущим» шины. После формирования состояния «START» «ведущим» шины, шина считается занятой и освобождается только после формирования, занявшим ее «ведущим» состояния «STOP». Время между «STOP» и «START» определяется стандартом I²C и зависит от текущей скорости ее работы.

На рис. 13 приведены примеры состояния линий SDA, SLC при транзакциях. «Ведущий» шины формирует состояние «START» и передает 7-ми битный адрес «ведомого» устройства. После адреса следует бит R/\overline{W} определяющий направление передачи данных ('1' - чтение из «ведомого» устройства, '0' - запись в «ведомое» устройство). После передачи адреса и бита R/\overline{W} , «ведущий» шины освобождает линию SDA, а «ведомый» должен привести линию SDA в состояние '0'. Если этого не произошло, то считается, что не принят сигнал ACK(подтверждение) от «ведомого». «Ведущий» шины может сформировать состояние «STOP» и повторить транзакцию с этим «ведомым» или предпринять другие действия, заложенные в алгоритм его работы.

Инв. № подп.	Подп. и дата	Бзлм. инв. №	Инв. № дубл.	Подп. и дата

Если от «ведомого» принят сигнал ACK, то начинается передача данных, направление которой было определено битом R/\overline{W} . Данные могут передаваться до тех пор, пока приемник на каждый переданный байт информации отвечает ACK. Т.е. после передачи каждого байта данных, передатчик освобождает на один период SLC линию SDA, что бы приемник мог сообщить принят или не принят им байт информации или готов или не готов он принимать следующий. После ответа NAK (во время ожидания ACK подана '1') «ведущий» формирует состояние «STOP». «Ведущий» так же может прервать транзакцию, сформировав состояние «STOP».

5.5.3 Генерация несущей частоты

Контроллер I^2C I2C1 тактируется из вне. Сигналы SDA и SLC проходят через синхронизатор и ФНЧ. Их состояния синхронизуются с системной частотой F_{sys} . Это накладывает ограничение на минимальное значение частоты F_{sys} , она должна не менее, чем в 8 раз перевышать частоту обмена по шине. Рекомендуется для скорости 100кбит/с $F_{sys} \geq 2MHz$, для скорости 400кбит/с $F_{sys} \geq 6MHz$.

5.5.4 Алгоритм работы с интерфейсом

Интерфейс имеет четыре режима, которые определяются в регистре I2CxCR. Они определяют поведение контроллера после приема или передачи байта данных. Состояния регистрируются в регистре I2CxST. Они же являются источниками запросов прерываний от контроллера.

5.5.4.1 Прием данных от «ведущего» После приема байта данных контроллер будет отвечать NAK на все последующие, до тех пор пока не будет считан регистр I2CxRX. ACK автоматически формируется при считывании I2CxRX. Байты данных, которые не были подтверждены ACK, не сохраняются в I2CxRX.

Поведение контроллера после приема байта данных задается битом I2CxCR(RMOD).

Если I2CxCR(RMOD) = '0', то контроллер ожидает реакции «ведущего» шины. Будет принимать данные в сдвиговый регистр и отвечать на каждый байт данных NAK, до тех пор пока не будет считан регистра I2CxRX.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

Если I2CxCR(RMOD) = '1', то контроллер блокирует линию SCL и удерживает ее в состоянии '0' до тех пор пока не будет считан регистр I2CxRX и очищен бит I2CxST(REC) (очищается автоматически при чтении I2CxRX).

5.5.4.2 Передача данных «ведущему» Передача данных «ведущему» управляетяется битом I2CxCR(TV). Если бит равен '1', то после принятия адреса контроллер подтвердит его состоянием ACK и начнет передавать данные расположенные в регистре I2CxTX. После того как байт данных был передан, биту I2CxCR(TV) присваивается значение I2CxCR(TAV). Это позволяет отправлять один и тот же байт на все запросы, без траты процессорного времени.

Поведение контроллера после передачи байта данных «ведущему» и получение от него ACK. Если «ведущий» ответил NAK, то контроллер перейдет в состояние ожидания состояния START на линиях SLC, SDA. Бит I2CxST(NAK) примет значение '1'.

Если I2CxCR(TM0D) = '0', то после ответа ACK «ведущим», контроллер продолжает ждать действий от «ведущего». Если он продолжит операции считывания данных из «ведомого», то контроллер будет отправлять данные, которые на будут находиться в регистре I2CxTX.

Если I2CxCR(TM0D) = '1', то после ответа ACK «ведущим», контроллер блокирует линию SCL и удерживает ее в состоянии '0' до тех пор пока бит I2CxCR(TV) не будет равен '1'. Пользоваться этим режимом следует осторожно т.к. «ведущий» шины не имеет возможности управлять сигналом SCL, а так же работа шины зависит от программного алгоритма написанного пользователем для системы в которой работает «ведомое» устройство.

Если I2CxCR(TAV) равен '1', то поведения в контроллера при любом значении бита I2CxCR(TM0D) будет одинаковым.

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

5.5.5 Описание регистров

Базовый адрес I2C1 - 0xC000 1100.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра.

Регистр	Смещение адреса	Доступ	Описание
I2CxSAD	00h	RW	Регистр адреса «ведомого»
I2CxCR	04h	RW	Регистр управления
I2CxST	08h	RW	Регистр состояния
I2CxMSK	0Ch	RW	Регистр маски
I2CxRX	10h	R	Регистр принимаемых данных
I2CxTX	14h	W	Регистр передаваемых данных

I2CxSAD		Регистр адреса «ведомого»				
Номер бита		31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Начальное состояние		0				
Описание		—				
			SLVADDR			
8-31 — зарезервировано						
0-7 SLVADDR 7-ми битный адрес «ведомого» устройства						
I2CxCR		Регистр управления				
Номер бита		31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Начальное состояние		0				
Описание		—				
			U RMOD TMOD TV TAV EN			
5-31	—	зарезервировано				
4	RMOD	режим приема данных ('1' - «ведомый» принимает данные и удерживает SCL в '0' до тех пор пока данные из I2CxRX не будут считаны (ACK будет послан сформирован), '0' - «ведомый» принимает данные) и формирует NAK для данного байта информации и для всех последующих, до тех пор пока не будет считан регистр I2CxRX				
3	TMOD	режим передачи данных ('1' - «ведомый» передает один и тот же байт данных и формирует NAK на все запросы после, до тех пор пока I2CxCR(TV) = '0', '0' - «ведомый» передает один байт и удерживает SCL в '0' до тех пор пока I2CxCR(TV) = '0')				
2	TV	подтверждение передачи ('1' - подтверждает факт передачи данных (после передачи байти данных автоматически принимает значение '0'), '0' - формируется NAK или удерживается SCL в '0' в зависимости от I2CxCR(TMOPD))				
1	TAV	передача данных всегда подтверждена ('1' - разрешено, '0' - запрещено)				
0	EN	разрешение работы контроллера ('1' - разрешено, '0' - запрещено, линии SCL, SDA в 3-м состоянии)				
I2CxST		Регистр состояния				
Номер бита		31	30	29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0		
Начальное состояние		0				
Описание		—				
			REC TRA NAK			
Изв. № подп. Подп. и дата Взам. Изв. № дубл. Подп. и дата						
Лист						
51						
МКФЕ.431281.501 РЭ						
Копировал						
Формат А4						

I2CxMSK		Регистр маски																																
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Начальное состояние		U																												RECE	TRAЕ	NAKE		
Описание		—																																
3-31	—	<i>зарезервировано</i>																																
2	REC	байт принят ('1' - принят (автоматически очищается, когда считан регистр I2CxRX), '0' - не принят)																																
1	TRA	байт передан ('1' - передан (очищается записью '1' в I2CxST(TRA)))																																
0	NAK	сформирован NAK на запрос ('1' - сформирован NAK). Если адрес «ведомого» не совпадает с I2CxSAD, то отправка NAK не имеет влияния на этот бит																																
3-31	—	<i>зарезервировано</i>																																
2	RECE	разрешение формирования прерывание по I2CxST(REC) ('1' - разрешено, '0' - запрещено)																																
1	TRAЕ	разрешение формирования прерывание по I2CxST(TRA) ('1' - разрешено, '0' - запрещено)																																
0	NAKE	разрешение формирования прерывание по I2CxST(NAK) ('1' - разрешено, '0' - запрещено)																																

IHB. № подп.	Подп. и дата	Bзам. IHB. №	IHB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист
52

I2CxTX		Регистр передаваемых данных																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																															
Описание		—																												TDATA			
8-31	—	<i>зарезервировано</i>																															
0-7	TDATA	старшие 7 бит передаваемых данных																															

I2CxRX		Регистр принимаемых данных																															
Номер бита		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние		0																											RDATa				
Описание		—																															

8-31 — *зарезервировано*
 0-7 RDATA последний принятый байт данных

IHB. № подп.	Подп. и дата	Bзам. IHB. №	IHB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист
53

5.6 Контроллер I^2S (I2Sx)

5.6.1 Краткие характеристики

- реализует приемник данных, работающий в режиме «ведущий»;
- совместим со стандартом Philips I^2S ;
- выбор разрядности сэмпла: от 16 до 32 бит;
- спредделитель синхронизирующей частоты;

5.6.2 Общее описание шины I^2S

Шина предназначена только для обработки звуковых данных, в то время как другие сигналы, такие как субкодирования и управления, передаются отдельно. Для сведения к минимуму количества требуемых контактов используется последовательная шина, состоящая из 3 линий, которая содержит линию для передачи данных двух каналов с временным уплотнением, селекционную линию и линию синхронизации.

Поскольку передатчик и приемник имеют одинаковые тактовые сигналы для передачи данных, передатчик, как ведущее устройство, должен генерировать сигнал синхронизации, сигнал данных и селекционный сигнал. Однако, в сложных системах, может быть несколько передатчиков и приемников и это затрудняет определение ведущего устройства. В таких системах, как правило, существуют ведущие системы управления цифровыми звуковыми потоками данных между различными устройствами. Тогда, передатчики, должны генерировать данные под управлением внешнего синхро сигнала и выступать в качестве ведомых устройств. В общем случае I^2S интерфейс состоит из двух раздельных ядер - передатчика и приемника. Оба могут работать в режиме или ведущего или ведомого. Для передачи звука по I^2S в одну сторону требуется как минимум 3 линии:

- Bit clock — SCK (тактирование);
- Word select — WS (линия выбора канала);
- Data line – SD (линия передачи аудио данных).

Сигналы WS и SCK создает только ведущее устройство (рис. 14).

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

54

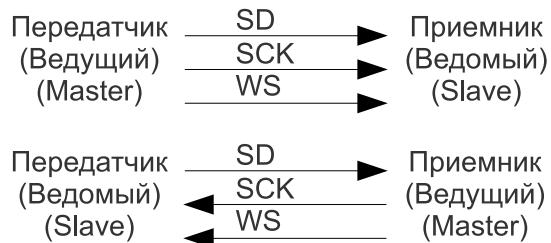


Рисунок 14 – Направление сигналов I^2S

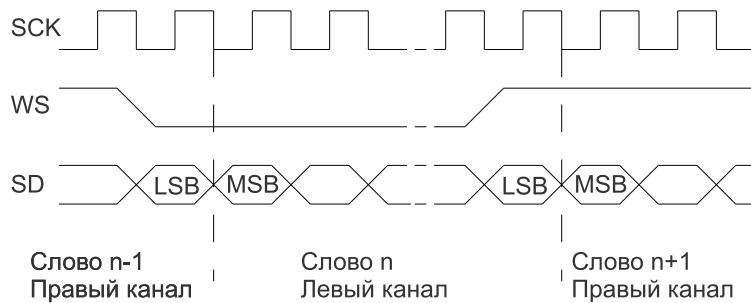


Рисунок 15 – Временная диаграмма сигналов I^2S

Временная диаграмма сигналов I^2S представлена на рис. 15:

Линия WS указывает, данные какого канала сейчас передаются, низкий уровень ('0') соответствует левому каналу, высокий ('1') — правому, изменение WS происходит на отрицательном фронте SCK. Передатчик изменяет значение линии данных SD при отрицательном фронте сигнала SCK, приемник считывает при положительном. Старший бит слова передается на втором положительном фронте сигнала SCK после изменения сигнала WS.

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

5.6.3 Описание регистров

Базовый адрес I^2S - 0xC010 2000

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
I2SxCFG	00h	RW	Регистр настройки приемника
I2SxMSK	04h	RW	Регистр маски прерываний
I2SxINT	08h	RW	Регистр прерываний
I2SxRX	0Ch	R	Регистр принимаемых данных

I2SxCFG		Регистр настройки приемника																												
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																													
Начальное состояние	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Описание	—	RES	—	PSC	—	SWAP	INTEN	RXEN	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
22-31	—	зарезервировано																												
16-21	RES	количество бит в записываемых аудио данных (размер сэмпла)(16-32 бит)																												
8-15	PSC	значение делителя передающей частоты																												
3-7	—	зарезервировано																												
2	SWAP	установка записи левого канала ('1' - в нечетные адреса, '0' - в четные адреса)																												
1	INTEN	разрешение прерываний ('1' - разрешены, '0' - запрещены)																												
0	RXEN	разрешение работы ('1' - разрешены, '0' - запрещены)																												
I2SxMSK		Регистр маски прерываний																												
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																													
Начальное состояние	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Описание	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
2-31	—	зарезервировано																												
1	HSBF	верхний буфер аудио данных заполнен																												
0	LSBF	нижний буфер аудио данных заполнен																												
I2SxINT		Регистр прерываний																												
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																													
Начальное состояние	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Описание	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
2-31	—	зарезервировано																												
1	HSBF_ST	верхний буфер аудио данных заполнен																												
0	LSBF_ST	нижний буфер аудио данных заполнен																												

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист
56

I2SxRX	Регистр приема
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	RX_OUT

0-31 RX_OUT принятые данные

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист

57

5.7 Таймер общего назначения(GPTIMx)

5.7.1 Краткие характеристики

- представляет собой декрементирующий 32-х битный счетчик;
- предделитель 16 бит;
- однократный и непрерывный режимы счета;

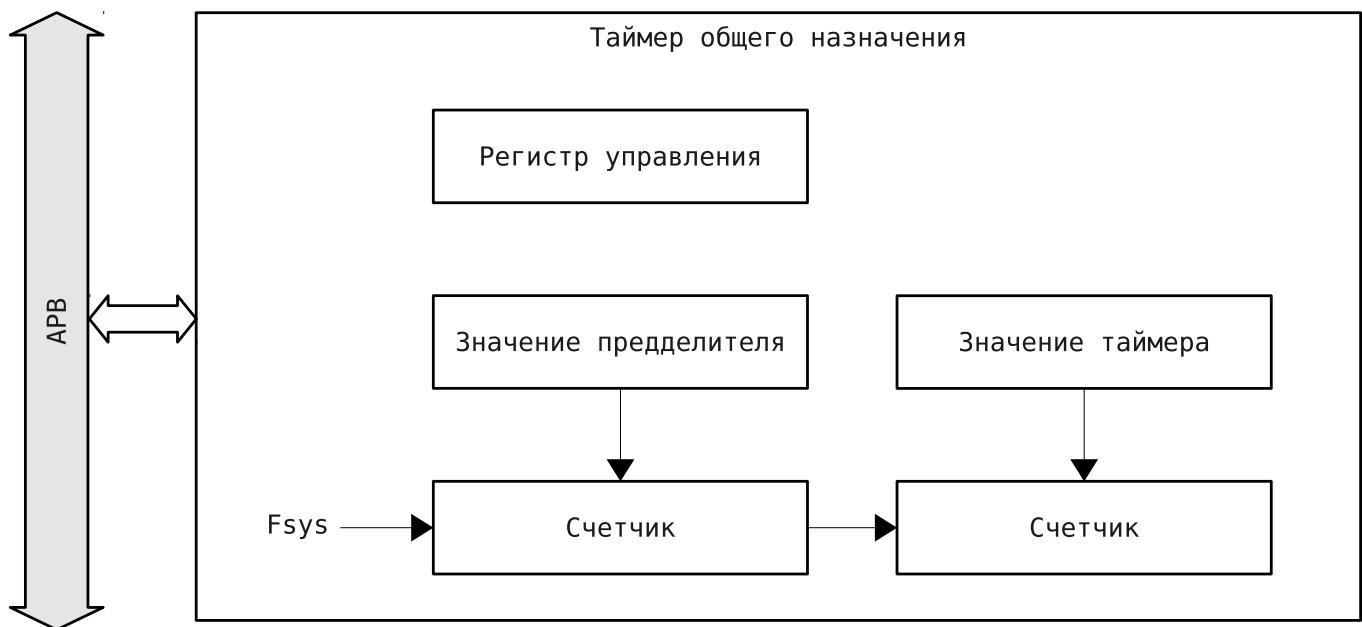


Рисунок 16 – Блок-схема GPTIMx

Исполнительная часть таймера состоит из предделителя и таймера. Предделитель и таймер представляют собой декрементирующие счетчики с регистрами начальных значений, из которых оно загружается в счетчик после достижения им значение –1. На рис.16 приведена блок-схема GPTIMx.

5.7.2 Алгоритм работы

Таймер начинает счет после установки бита TIMxCR(EN) = '1'. Внутренний тактовый сигнал после предделителя подается на счетчик таймера. Как только его значение становится

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

Изм	Лист	№ докум.	Подп.	Дата

-1, формируется запрос обработки прерывания - бит TIMxCR(IP) принимает значение = '1', значение TIMxCNTPER(CNTPER) загружается в регистр текущего значения счетчика TIMxCNTVAL(CNTVAL). Если установлен непрерывный режим работы счетчика (бит TIMxCR(RS) = '1'), то эти события периодически повторяются. Если установлен однократный режим работы (бит TIMxCR(RS) = '0'), то возобновление счета не происходит, счетчик не декрементируется.

В любой момент таймер может быть перезагружен его начальным значением, при установке бита TIMxCR(LD) = '1'.

Период таймера можно вычислить по следующей формуле:

$$T_{GPTIM} = T_{sys} \cdot PSCPER \cdot CNTPER, \quad PSCPER \geq 2$$

Следует особо обратить внимание на то, что значение TIMxPSCPER(PSCPER) не может быть меньше 2, даже если туда записать такое значение.

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист

59

5.7.3 Описание регистров

Базовые адреса регистров GPTIMx:

GPTIM0 - 0xC001 0000

GPTIM1 - 0xC001 0100

GPTIM2 - 0xC001 0200

GPTIM3 - 0xC011 0000

GPTIM4 - 0xC011 0100

GPTIM5 - 0xC011 0200

GPTIM6 - 0xC011 0300

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра.

Регистр	Смещение адреса	Доступ	Описание
TIMxPSCVAL	00h	RW	Регистр текущего значения предделителя
TIMxPSCPER	04h	RW	Регистр начального значения предделителя
TIMxCNTVAL	10h	RW	Регистр текущего значения таймера
TIMxCNTPER	14h	RW	Регистр начального значения таймера
TIMxCR	18h	RW	Регистр управления

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

TIMxPSCVAL		Регистр текущего значения предделителя																											
Номер бита		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																											
Начальное состояние		0																											
Описание		—																											PSCVAL

16-31 — зарезервировано

0-15 PSCVAL текущее значение счетчика предделителя

TIMxPSCPER		Регистр начального значения предделителя																												
Номер бита		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																												
Начальное состояние		0																											PSCPER	
Описание		—																												

16-31 — зарезервировано

0-15 PSCPER начального значение предделителя (период предделителя)

TIMxCNTVAL		Регистр текущего значения таймера																												
Номер бита		31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																												
Начальное состояние		0																											CNTVAL	
Описание		—																												

16-31 — зарезервировано

0-15 CNTVAL текущее значение счетчика таймера

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист
						60

TIMxCNTPER			Регистр начального значения таймера																													
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																															
Начальное состояние	0																															
Описание	— CNTPER начального значение счетчика предделителя (период предделителя)																															

16-31 — зарезервировано

0-15 CNTPER начального значение счетчика предделителя (период предделителя)

TIMxCR			Регистр управления																														
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0																																
Начальное состояние	0																																
Описание	— IP IE LD RS EN																																

5-31 — зарезервировано

4 IP признак сформированного прерывания ('1' - сформировано, '0' - нет запроса прерывания), очищается записью '1' в этот бит

3 IE разрешение формирования прерывания ('1' - разрешено, '0' - запрещено)

2 LD перезагрузка таймера ('1' - загрузить TIMxCNTPER(CNTPER) в TIMxCNTVAL(CNTVAL))

1 RS режим работы таймера ('1' - непрерывный, '0' - однократный)

0 EN разрешение работы таймера ('1' - разрешено, '0' - запрещено)

ИHB. № подп.	Подп. и дата	Бзм. и HB. № дубл.	ИHB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФЕ.431281.501 РЭ

Лист

61

5.8 Контроллер Ethernet(Ethernet0)

5.8.1 Краткие характеристики

- поддерживает скорость 10/100Мбит/с
- полнодуплексный, полуудуплексный режимы работы;
- прямой канал доступа к ОЗУ;
- поддержка интерфейсов связи MII, RMII;
- имеет интерфейс MDIO;
- соответствует стандарту IEEE 802.3-2002 и IEEE 802.3Q-2003

Контроллер Ethernet0 состоит из 3 функциональных модулей:

- контроллер прямого доступа к памяти (КПДП)
- MDIO
- Ethernet Debug Communication Link (EDCL)(опция, см. таблицу комплектации МП)

КПДП используется передачи данных между внутренней памятью МП и контроллером Ethernet0. Все принятые и сформированные для передачи пакеты данных хранятся во внутренней памяти МП. Приемник и передатчик имеют раздельные КПДП.

MDIO используется для конфигурации и управления внешним преобразователем среды (PHY). EDCL(опция) обеспечивает доступ к внутренней периферийной шине через сеть Ethernet. Он использует протоколы UDP, IP, ARP. EDCL используется приемником и передатчиком Ethernet0.

Ethernet0 поддерживает следующие стандарты: IEEE 802.3-2002 и IEEE 802.3Q- 2003(опционально, см. таблицу комплектации МП). Контроллер не поддерживает пакеты типа 0x8808, они не будут приниматься.

Приемник и передатчик Ethernet0 связаны с внешним преобразователем среды по интерфейсу Media Independent Interface (MII). Так же поддерживается интерфейс Reduced Media Independent Interface (RMII).

Размер таблиц дескрипторов приемника и передатчика - 1КБ.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

62

5.8.2 Тактирование

Приемник и передатчик Ethernet0 тактируются внешним преобразователем среды, для приемника и передатчика независимые тактовые сигналы и являются частью интерфейса MII или RMII. Внутренние структуры управления тактируются системной частотой Fsys. Контроллером поддерживаются полудуплексные и полнодуплексные режимы работы, которые могут работать на скоростях передачи 10 и 100Мбит/с. Минимальная Fsys необходимая для корректной работы на скорости 10Мбит/с - 2.5МГц, для 100Мбит/с - 18МГц. Значения Fsys ниже требуемых может привести к потере пакетов.

5.8.3 Доступ к внутренним буферам FIFO приемника и передатчика.

Для включения этой функции необходимо установить бит CR(ramdebugen) = 1. Когда режим включен, то пакеты EDCL не принимаются. Приемник и передатчик контроллера Ethernet0 необходимо выключить иначе данные в буферах FIFO могут быть повреждены.

Контроллер предоставляет доступ к внутренним буферам FIFO приемника и передатчика контроллера Ethernet0 и EDCL. Буфер передатчика доступен через шину периферийных устройств со смещение от базового адреса 0x10000 и до 0x107FC. Всего 512 32-х разрядных слов. Буфер приемника доступен через шину периферийных устройств со смещение от базового адреса 0x20000. Всего 512 32-х разрядных слов. Буфер EDCL доступен через шину периферийных устройств со смещение от базового адреса 0x30000. Всего 256-16384 32-х битных слов.

5.8.4 КПДП передатчика

Передатчик использует дескрипторы размещенные во внутренней памяти МП. Нельзя изменять дескриптор во время передачи.

5.8.4.1 Установка дескриптора Дескриптор имеет уазание на адрес в котором размещается блок данных и размер его. Так же там содержится управляющая информация. Адрес

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

63

блока данных должен быть выровнен на 32 бита. Дескриптор не должен изменяться пока контроллером Ethernet0 не будет установлен TD0(EN) = '0'.

И HB. № подп.	Подп. и дата	Bзар. И HB. №	И HB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

МКФЕ.431281.501 РЭ

Лист
64

TD0			Ethernet0 дескриптор, часть 0 (смещение адреса 0x0)																													
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Описание																													LENGTH			
31..16	—	зарезервировано																														
15	AL	пакет не передан, т.к. число попыток превысило максимальное																														
14	UE	пакет передан некорректно, т.к. FIFO был заполнен неполностью																														
13	IE	разрешение прерывания по завершении передачи пакета, вне зависимости от того был ли он передан корректно или нет																														
12	WR	разрешение указателю таблицы дескрипторов принять значение 0 после передачи данного пакета ('1' - разрешено, '0' - запрещено). Если WR=0, то указатель таблицы дескрипторов инкрементируется на 8 и примет значение 0 только после того, как достигнет конца таблицы дескрипторов.																														
11	EN	разрешение операций с дескриптором ('1' - разрешено, '0' - запрещено)																														
10..0	LENGTH	размер блока данных для приема в байтах																														

TD1			Ethernet0 дескриптор, часть 1 (смещение адреса 0x4)																														
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Описание																													ADDRESS				
31..2	ADDRESS	указатель на начальный адрес в памяти, где размещены данные для передачи																															
1..0	—	зарезервировано																															

5.8.4.2 Подготовка данных для передачи Весь пакет данных кроме CRC должен быть размещен в памяти, начальный адрес должен быть указан в дескрипторе. Длина пакета, указанная в дескрипторе, не должна превышать максимально возможную 1514 байт, иначе пакет не будет передан.

5.8.4.3 Передача данных Для начала передачи данных, необходимо установить указатель на адрес таблицы дескрипторов и установить бит TD0(EN) в соответствующем дескрипторе. Адрес таблицы дескрипторов должен быть выровнен на 1КБ. Биты 31..10 содержат базовый адрес таблицы дескрипторов, 9..3 – указатель на конкретный дескриптор (в байтах). Указатель будет установлен в 0 как только он превысит значение 1КБ. В случае если в каком-то дескрипторе установлен бит TD0(WR)=’1’, то указатель на дескриптор примет значение 0 когда дойдет до этого дескриптора.

После установки адреса необходимо разрешить передачу данных CR(TX_EN)=’1’. значит, что все дескрипторы готовы, можно начать передачу данных.

5.8.4.4 Работа с дескриптором после окончания передачи данных После завершения передачи, соответствующие статусные биты будут записаны в TD0 после завершения передачи пакета, описанного дескриптором. Пакет считается переданным успешно, если TD0(UE) и TD0(AL) имеют значение ’0’. TD0(UE)=’1’, если во время передачи FIFO передатчика оказался пустым. TD0(AL)=’1’ устанавливается, если во время передачи возникло коллизий больше, чем предусмотрено протоколом. Все остальные биты TD0 устанавливаются = ’0’ после завершения передачи пакета. TD1 остается без изменений. Бит TD0(EN) может быть использован как индикатор того, что дескриптор готов к использованию, т.к. контроллер Ethernetx автоматически устанавливает его в ’0’ после окончания передачи пакета. Помимо отображения

Изв.	Подп. №	Подп. и дата	Бзм. подп.	Изв. №	Изв. подп.

информации в дескрипторе, в контроллер так же имеются биты статуса передатчика: ... (TE) - ошибка передачи, ... (TI) - запрос обработки прерывания, устанавливается каждый раз как передача была завершена успешно. ... (TA) - ошибка обмена данными через периферийную шину. В этом случае передатчик будет остановлен.

5.8.5 КПДП приемника

Приемник использует дескрипторы размещенные во внутренней памяти МП. КПДП приемника предназначены для приема данных по сети Ethernet.

5.8.5.1 Установка дескриптора Дескриптор имеет указание на адрес в котором размещается блок данных и размер его. Так же там содержится управляющая информация. Адрес блока данных должен быть выровнен на 32 бита.

TD0 Ethernet0 дескриптор, часть 0 (смещение адреса 0x0)																																
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Описание	—	MC	—	LE	OE	CE	FT	AE	IE	WR	EN	LENGTH																				

31..27	—	зарезервировано
26	MC	адрес назначения пакета является групповым (не транслируется)
25..19	—	зарезервировано
18	LE	ошибка, значение поля "длина пакета" не соответствует текущему числу принятых байтов
17	OE	ошибка, кадр был принят некорректно из-за переполнения буфера приемника
16	CE	ошибка CRC в кадре
15	FT	ошибка, принят кадр больше максимального размера, лишняя часть отброшена
14	AE	ошибка, принято нечетное количество полубайтов
13	IE	разрешение прерываний ('1' - разрешено, '0' - запрещено). Прерывания буду вырабатываться после приёма пакета (бит ETHxCR(R1) должен быть в '1'), Прерывания будут вырабатываться вне зависимости от того завершился ли приём пакета успешно или произошла ошибка.
12	WR	разрешение указателю таблицы дескрипторов принять значение 0 после передачи данного пакета ('1' - разрешено, '0' - запрещено). Если WR=0, то указатель таблицы дескрипторов инкрементируется на 8 и примет значение 0 только после того, как достигнет конца таблицы дескрипторов.
11	EN	разрешение операций с дескриптором (поле устанавливается последним) ('1' - разрешено, '0' - запрещено)
10..0	LENGTH	размер блока данных для передачи в байтах

Изв. № подл.	Подп. и дата	Взам. Изв. №	Изв. № дубл.	Подп. и дата

MKФE.431281.501 РЭ

Лист

66

Изм Лист № докум. Подп. Дата

TD1			Ethernet0 дескриптор, часть 1 (смещение адреса 0x4)																															
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
Описание	ADDRESS																																	
31..2	ADDRESS	указатель на начальный адрес в памяти, где размещены принятые данные																																
1..0	—	зарезервировано																																

5.8.5.2 Прием данных Для начала приема данных, необходимо установить указатель на адрес таблицы дескрипторов и установить бит TD0(EN) в соответствующем дескрипторе. Адрес таблицы дескрипторов должен быть выровнен на 1КБ. Биты 31..10 содержат базовый адрес таблицы дескрипторов, 9..3 - указатель на конкретный дескриптор (в байтах). Указатель будет установлен в 0 как только он превысит значение 1КБ. В случае если в каком-то дескрипторе установлен бит TD0(WR)=’1’, то указатель на дескриптор примет значение 0 когда дойдет до этого дескриптора.

После установки адреса необходимо разрешить приём данных ETHxCR(RE)=’1’. значит, что все дескрипторы готовы, можно начать передачу данных.

5.8.5.3 Работа с дескриптором после окончания передачи данных После завершения приема, бит TD0(EN) имеет значение ’0’. Биты TD0(WR) и TD0(IE) также имеют значение ’0’. Количество принятых байт отображается в TD0(LENGTH). Части Ethernet кадра содержат адрес назначения, адрес источника, тип и поля данных. Биты 17..14 в TD0 сигнализируют об ошибках приёма. После успешного приёма все 4 бита должны иметь значение ’0’. Пакет меньше минимального размера в 64 байта не является принятым и отбрасывается. Текущий регистр приёма запрещается изменять до приёма первого пакета с допустимым размером. Бит ETHxST(TS) сигнализирует об ошибке приёма пакета меньше минимально размера. Бит ETHxST(IA) сигнализирует о приёме пакета с недопустимым MAC адресом. Бит TD0(FT) сигнализирует о приёме пакета больше максимально допустимого размера. Поле TD0(LENGTH) не гарантирует правильного приёма данных. Количество пустых байт до максимального размера пакета после слова, содержащего последний байт, записывается в память.

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.8.6 Описание регистров

Базовый адрес Ethernet0 - 0xC000 5000

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
ETHxCR	00h	RW	Регистр установок конфигурации
ETHxST	04h	RW	Регистр состояния
ETHxMACMSB	08h	RW	MAC адрес старшая часть
ETHxMACLSB	0Ch	RW	MAC адрес младшая часть
ETHxTDP	14h	RW	Указатель дескриптора передачи
ETHxRDP	18h	RW	Указатель дескриптора приема

Номер бита	Регистр управления																														
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Начальное состояние	0																														
Описание	—																														

26-31	—	зарезервировано
25	MC	статус многоадресного режима ('1' - разрешено, '0' - запрещено)
12-24	—	зарезервировано
11	ME	разрешить прием многоадресных пакетов ('1' - разрешено, '0' - запрещено)
10	PI	разрешить прерывания при изменении статуса внешнего PHY ('1' - разрешено, '0' - запрещено)
8-9	—	зарезервировано
7	SP	скорость ('1' - 100 Мбит/с, '0' - 10 Мбит/с)
6	RS	сброс, бит будет очищен после окончания сброса контроллера, никакие другие операции не следует производить с контроллером пока бит равен '1' ('1' - инициализировать сброс контроллера Ethernet)
5	PM	прием всех пакетов несмотря на адрес устройства назначения ('1' - разрешено, '0' - запрещено)
4	FD	полнодуплексный режим ('1' - разрешено, '0' - запрещено)
3	RI	разрешение прерываний приемника ('1' - разрешены, '0' - запрещены)
2	TI	разрешение прерываний передатчика ('1' - разрешены, '0' - запрещены)
1	RE	разрешение приема, бит автоматически сбрасывается в '0' после завершения приема пакета. Устанавливать бит следует только после записи дескриптора приема ('1' - разрешено, '0' - запрещено)
0	TE	разрешение приема, бит автоматически сбрасывается в '0' после завершения передачи пакета. Устанавливать бит следует только после записи дескриптора передачи ('1' - разрешено, '0' - запрещено)

Номер бита	Регистр состояния																														
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
Начальное состояние	0																														
Описание	—																														

Для всех разрядов регистра: ('1' - наличие признака, '0' - отсутствие признака)

9-31	—	зарезервировано
8	PS	изменения статуса PHY
7	IA	принят пакет с адресом не соответствующим MAC. Очищается записью '1'
6	TS	принят пакет данных меньше минимального размера. Очищается записью '1'
5	TA	ошибка передатчика при работе по каналу DMA. Коллизии на системнойшине или при доступе к памяти. Очищается записью '1'
4	RA	ошибка приемника при работе по каналу DMA. Коллизии на системнойшине или при доступе к памяти. Очищается записью '1'

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

MKФЕ.431281.501 РЭ

Лист
68

- | | | |
|---|----|---|
| 3 | TI | пакет передан без ошибок. Очищается записью '1' |
| 2 | RI | пакет принят без ошибок. Очищается записью '1' |
| 1 | TE | передача пакета прервалась ошибкой. Очищается записью '1' |
| 0 | RE | прием пакета прервался ошибкой. Очищается записью '1' |

<i>H_{HB}, № по ПДЛ.</i>	<i>Поряд. и дата</i>	<i>Bзам. инв.</i>	<i>H_{HB}. № дубл.</i>	<i>Поряд. и дата</i>

MKΦE.431281.501 PΞ

Лист

69

ETHxMACMSB		MAC адрес старшая часть
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0
Описание	—	47..32 биты MAC

16-31 — зарезервировано

0-15 MACMSB два самых старших байта MAC адреса

ETHxMACLSB		MAC адрес старшая часть
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—	31..0 биты MAC

16-31 — зарезервировано

0-15 MACLSB младшие байты MAC адреса

ETHxTDP		Указатель дескриптора передачи
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0 0
Описание	BASEADDR	DESCPNT -

10-31 BASEADDR базовый адрес дескрипторов. Необходимо выставлять адрес 0xE0200000 + реальный адрес в ПД, записываются только старшие биты 31..10

3-9 DESCRIPTOR указатель на дескриптор, автоматически инкрементируется при получении нового пакета данных
0-2 — зарезервировано

ETHxRDP		Указатель дескриптора приема
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0 0
Описание	BASEADDR	DESCPNT -

10-31 BASEADDR базовый адрес дескрипторов. Необходимо выставлять адрес 0xE0200000 + реальный адрес в ПД, записываются только старшие биты 31..10

3-9 DESCRIPTOR указатель на дескриптор, автоматически инкрементируется при получении нового пакета данных
0-2 — зарезервировано

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист
						70

5.9 Контроллер USB(USBx)

5.9.1 Краткие характеристики

- реализует USB 1.1 FS, совместим с микросхемой Fairchild USB1T11A;
- работает только в режиме “device”;
- поддержка 4 классов каналов: поточный, управляющий, изохронный, прерывание;
- поддерживает LS (1,5 Мбит/с) и FS (12 Мбит/с) режим;
- включает 4-х канальный буфер обмена (FIFO);
- для работы необходим внешний тактовый генератор 48МГц;

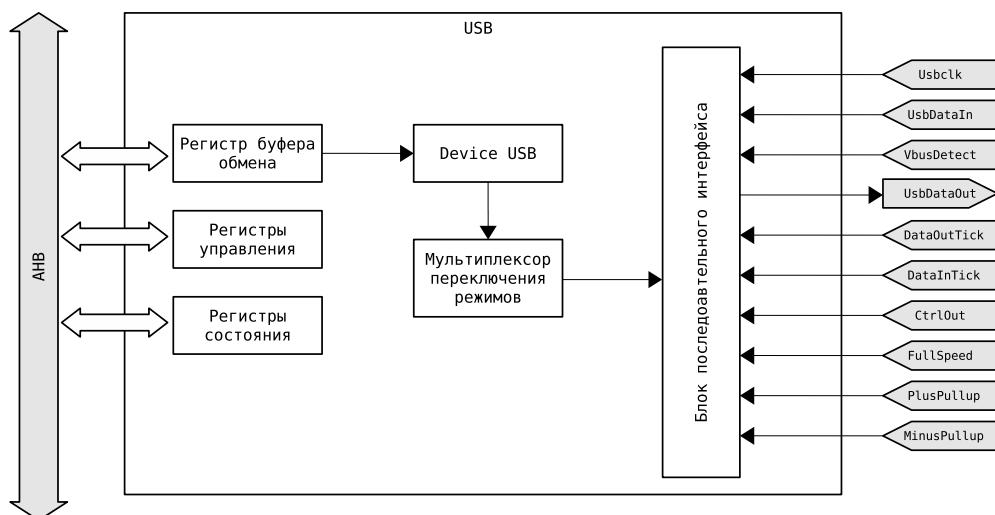


Рисунок 17 – Блок-схема USBx

Интерфейс USB 1.1 работает только в режиме «Device». Если подключении к USB хосту отсутствует, то состояние соединения будет отображено как сброс в регистре USBxLNST. Если имеется подключение к USB хосту, то отобразится в регистре USBxLNST отобразится состояние соединения и скорость подключения.

Если обнаружена транзакция, то USB (Device) должен быть готов к приему транзакции. Если обнаружен входящий пакет данных, то необходимо просто установить бит разрешения работы для конечной точки(EndPoint) и подождать окончания транзакции , т.е. установки бита USBxINT(DONE) (или дождаться прерывания по биту USBxINT(DONE)). Если обнаружена транзакция, включающая в себя исходящую посылку, то данные должны быть загружены в FIFO конечной точки до установки бита разрешения работы.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.

Изм	Лист	№ докум.	Подп.	Дата

Допустимо изменение следующих параметров:

- скорость работы USB;
- полярность USB;
- USB адрес(по умолчанию 0);
- установка глобального разрешения работы конечной точки;

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

МКФЕ.431281.501 РЭ

Лист

72

5.9.2 Описание регистров

Базовый адрес USB - 0xFFFF14000.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Регистр	Смещение адреса	Доступ	Описание
USBxHSCR	00h	RW	Регистр контроля и управления
USBxEPCRn	08,18,28,38h	RW	Регистр управления EPn
USBxEPSTn	0C,1C,2C,3Ch	RW	Регистр состояния EPn
USBxEPTRSTn	10,20,30,40h	R	Регистр состояния соединения EPn
USBxEPNTRSTn	14,24,34,44h	RW	Регистр NACK состояния соединения EPn
USBxCR	48h	RW	Регистр управления контроллера
USBxLNST	4Ch	R	Регистр состояния соединения контроллера
USBxINT	50h	RW	Регистр прерываний контроллера
USBxMSKINT	54h	RW	Регистр маски прерываний
USBxADDR	58h	R	Регистр адреса устройства
USBxMSPFRAME	5Ch	RW	Старшие биты счётчика пакетов SOF
USBxLSPFRAME	60h	RW	Младшие биты счётчика пакетов SOF
USBxEPRXDATAAn	6A,7C,94,ACh	R	Буфер приемника EPn
USBxEPRXMSBn	68,80,98,B0h	RW	Старший байт буфера приемника EPn
USBxEPRXLSBn	6C,84,9C,B4h	RW	Младший байт буфера приемника EPn
USBxEPRXCLRn	70,88,A0,B8h	W	Регистр управления буфером приемника EPn
USBxEPTXDATAAn	74,8C,A4,BCh	W	Буфер передатчика EPn
USBxEPTXCLRn	78,90,A8,C0h	W	Регистр управления буфером передатчика EPn

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. №	Подп. и дата

USBxHSCR		Регистр контроля и управления		
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Начальное состояние		0		0 0
Описание		—		RESET .
2-31	—	зарезервировано		
1		сброс контроллера USB, на перезагрузку требуется 10 тактов системной частоты ('1' – сбросить)		
0		зарезервировано		
USBxEPCRn		Регистр управления EPn		
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0			
Начальное состояние		0		0 0 0 0
Описание		—		ISO STALL OUT READY EN
5-31	—	зарезервировано		
4	ISO	разрешение изохронного обмена, данные (принимаемые/передаваемые) не подтверждаются ACK ('0' – запрещен, '1' – разрешен)		
3	STALL	посылка сигнала STALL, если Host инициировал обмен данными ('1' – послать сигнал STALL)		
2	OUT	'0' - ответ будет пакетом DATA1, '1' - ответ будет DATA0		
1	READY	готовность EP к ответу на запрос, очищается автоматически после завершения обмена ('1' – EP готов)		
0	EN	разрешение работыEndPoint ('0' – запрещена, '1' – разрешена)		

MKФЕ.431281.501 РЭ

Лист

73

USBxEPSTn	Регистр состояния EPn																															
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние	0																															
Описание	—																															
	SEQ	ACK	STALL	NAK	TIME	OVF	STUFF	CRC																								

- Для всех разрядов регистра '1' - наличие признака, '0' - отсутствие признака
- | | | |
|------|-------|---|
| 8-31 | — | зарезервировано |
| 7 | SEQ | если последняя передача была типа OUT_TRANS, то бит показывает, где лежит последний принятый пакет (DATA0 = 0, DATA1 = 1) |
| 6 | ACK | ACK принят от Host |
| 5 | STALL | STALL отправлен в Host |
| 4 | NAK | NACK отправлен в Host |
| 3 | TIME | нет ответа от Host |
| 2 | OVF | недостаточно места в буфере приемника |
| 1 | STUFF | ошибка структуры данных |
| 0 | CRC | ошибка CRC |

USBxEPTRSTn	Регистр состояния соединения EPn																															
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние	0																															
Описание	—																															
	TYPE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- | | | |
|------|------|--|
| 2-31 | — | зарезервировано |
| 0-1 | TYPE | Тип последней транзакции (в случае, когда EP была готова) (00 – SETUP, 01 – IN, 10 – OUT_DATA) |

USBxEPNTRSTn	Регистр NACK состояния соединения EPn																															
Номер бита	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Начальное состояние	0																															
Описание	—																															
	TYPE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- | | | |
|------|------|---|
| 2-31 | — | зарезервировано |
| 0-1 | TYPE | Тип последней транзакции, закончившейся посылкой NACK в Host (00 – SETUP, 01 – IN, 10 – OUT_DATA) |
- | USBxCR | Регистр управления контроллера | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---------------------|--------------------------------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| Номер бита | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| Начальное состояние | 0 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
- Поля регистра:
- | | | |
|------|---------|---|
| 7-31 | — | зарезервировано |
| 6 | PULL | управление подтягивающими резисторами D+, D- ('0' – управление отключено, '1' – D+ (SPEED = '1') или D-(SPEED = '0') подтягивается к высокому уровню) |
| 5 | SPEED | скорость ('0' – 1,5 Мбит/с, '1' – 12 Мбит/с) |
| 4 | POL | полярность линии ('0' – низкоскоростной полярности линии (J=1, K=0), '1' – высокоскоростной полярности линии (J=0, K=1)) |
| 3 | DIRCR | разрешение управления линиями D+, D- ('0' – разрешено, '1' – запрещено) |
| 1-2 | LINEST | управление линиями D+, D- (если бит DIRCR = '1') 01 – управление линией D-, 10 – управление линией D+ |
| 0 | EN_GLOB | глобальный бит разрешения работы EP ('0' – запрещено, '1' – разрешено) |

Инв. № подп.	Подп. и дата	Bзам. инв. №	Инв. № дубл.

MKФЕ.431281.501 РЭ

Лист
74

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.
--------------	--------------	-------------	--------------

USBxLNST	Регистр состояния соединения контроллера	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0
Описание	—	TYPE
3-31	—	зарезервировано
2	VBUS	напряжения на шине ('0' – +5 В USB не подано, '1' – +5 В USB подано)
0-1	LINE	состояния соединения (00 – сброс, 01 – 1,5 Мбит/с, 10 – 12 Мбит/с)
USBxINT	Регистр прерываний контроллера	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0 0 0 0 0 0
Описание	—	VBUS NAK SOF RESET RESUME DONE
6-31	—	для всех разрядов регистра '1' – наличие признака, '0' – отсутствие признака зарезервировано
5	VBUS	внешнее питание подано. Очищается записью '1'
4	NAK	NACK отправлен. Очищается записью '1'
3	SOF	SOF принят. Очищается записью '1'
2	RESET	D+ и D- в низком уровне. Очищается записью '1'
1	RESUME	возобновление транзакции. Очищается записью '1'
0	DONE	транзакция завершена. Очищается записью '1'
USBxMSKINT	Регистр маски прерываний	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0 0 0 0 0 0
Описание	—	MSKBUS MSKNAK MSKSOF MSKRESET MSKRESUME MSKDONE
6-31	—	для всех разрядов регистра: '1' – событие разрешено, '0' – событие запрещено зарезервировано
5	VBUS	внешнее питание подано
4	NAK	NACK отправлен
3	SOF	SOF принят
2	RESET	D+ и D- в низком уровне
1	RESUME	возобновление транзакции
0	DONE	транзакция завершена
USBxADDR	Регистр адреса устройства	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0
Описание	—	ADDR
7-31	—	зарезервировано
0-6	ADDR	адрес USB устройства
USBxMSPFRAME	Старшие биты счетчика пакетов SOF	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	0
Описание	—	MSPNUM
3-31	—	зарезервировано
0-2	MSPNUM	биты [10:8] числа принятых пакетов в последней SOF транзакции

МКФЕ.431281.501 РЭ

Лист

75

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. №

USBxLSPFRAME	Младшие биты счетчика пакетов SOF
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0-7	LSPNUM биты [0:7] числа принятых пакетов в последней SOF транзакции
USBxEPRXDATAAn	Буфер приемника EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0-7	RXDATA буфер принимаемых данных
USBxEPRXMSBn	Старший байт счетчика буфера приемника EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0-7	MSB_NUM старший байт счетчика данных в буфере приемника
USBxEPRXLSBn	Младший байт счетчика буфера приемника EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0-7	LSB_NUM младший байт счетчика данных в буфере приемника
USBxEPRXCLRn	Регистр управления буфером приемника EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0	CLR очистка буфера приемника (1 – очистить)
USBxEPTXDATAAn	Буфер передатчика EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0-7	TXDATA буфер передаваемых данных
USBxEPTXCLRn	Регистр управления буфером передатчика EPn
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
Начальное состояние	0
Описание	—
8-31	— <i>зарезервировано</i>
0	CLR очистка буфера передатчика (1 – очистить)

MKФЕ.431281.501 РЭ

Лист

76

5.10 Контроллер PWM(PWMx)

5.10.1 Краткие характеристики

- режим генерации одиночного импульса;
- возможность изменения периода счетчика во время его работы (при определенных условиях);

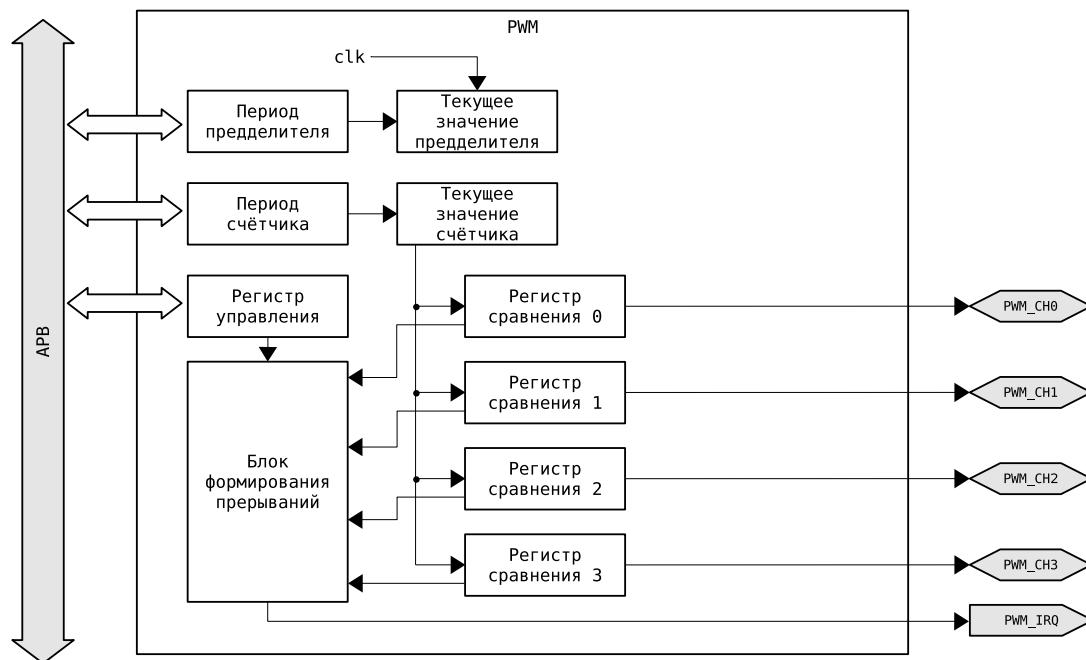


Рисунок 18 – Блок-схема PWM

Контроллер ШИМ (PWM) предназначен для генерирования широтно-модулированных импульсов. PWM является 4-х канальным и имеет режим генерации одиночного импульса, а также допускает возможность изменения периода счётчика во время его работы (при соблюдении условий, описываемых в соответствующем пункте).

5.10.2 Инициализация ШИМ

Для инициализации ШИМ необходимо задать в регистре PWM_CR режим работы интерфейса и счётчика, а также выбрать каналы работу которых мы хотим разрешить. Следующим шагом

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

устанавливаем активный/неактивный уровень включённого/выключенного канала. Кроме того возможно разрешить прерывания соответствующего канала, а также возможно разрешение прерываний по переполнению счётчика.

5.10.3 Режимы работы ШИМ

Генерация импульсов ШИМ возможна в однократном или периодическом режиме, установка производится в бите PWM_CR(PULSE_MODE). Счётчик запускается в трёх режима: инкрементирующий, декрементирующий и режим увеличения до максимального значения, а потом уменьшения до нуля. Установка режима работы счётчика производится в бите AUTO_RELOAD регистра управления. Разрешается активировать возможность изменения периода счётчика во время его работы в бите CNT_MODE, но только при периода счётчика во время его работы в бите PWM_CR(CNT_MODE), но только при определённых условиях

5.10.4 Прерывания ШИМ

Прерывания бывают двух типов: по переполнению счётчика и по достижению счётчиком определённого канала значения регистра сравнения. Прерывания разрешаются в регистре управления, а запрос прерываний фиксируется в регистре PWM_INT.

5.10.5 Длительность импульса ШИМ

Длительность импульса ШИМ будет определяться как разность значения периода счётчика PWM_CNT и значения регистра сравнения PWM_CMPCHn, умноженная на произведение длительности одного такта процессора и значения предделителя PWM_PSC. Длительность активного уровня импульса ШИМ будет определяться как разность значения периода счётчика PWM_CNT и значения регистра сравнения PWM_CMPCHn, умноженная на произведение длительности одного такта процессора и значения предделителя PWM_PSC.

$$T_{ACT} = (T_{cnt} - T_{cmpch}) \cdot T_{sys} \cdot (PSC + 1)$$

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

МКФЕ.431281.501 РЭ

Лист

78

5.10.6 Описание регистров

Базовый адрес PWM - 0xC001 2000.

Для получения реального адреса регистра надо к базовому (начальному) адресу на шине прибавить смещение адреса регистра

Примечание: Регистры сравнения при $n=[0;3]$ будут иметь следующие адреса смещения:

PWMxCMPCH0 – 0x20

PWMxCMPCH1 – 0x24

PWMxCMPCH2 – 0x28

PWMxCMPCH3 – 0x2C

Регистр	Смещение адреса	Доступ	Описание
PWMxCR	00h	RW	Регистр управления
PWMxINT	04h	RW	Регистр прерываний
PWMxCNTVAL	08h	RW	Регистр текущего значения счётчика
PWMxPSC	0Ch	RW	Регистр значения предделителя
PWMxCNT	10h	RW	Регистр периода счётчика
PWMxCMPCHn	0x20-0x2Ch	RW	Регистр периода счётчика

1 AUTO_RELOAD Разрешение изменения периода счетчика во время его работы ('0' – запрещено, '1' – разрешено)
 0 PULSE_MODE Разрешение работы в однократном режиме ('0' – запрещено, '1' – разрешено)

PWMxINT	Регистр прерываний	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—s	

- 4-31 — зарезервировано
 3 CH3_IRQ Счетчик канала 3 достиг значения регистра сравнения
 2 CH2_IRQ Счетчик канала 2 достиг значения регистра сравнения
 1 CH1_IRQ Счетчик канала 1 достиг значения регистра сравнения
 0 CH0_IRQ Счетчик канала 0 достиг значения регистра сравнения

PWMxCNTVAL	Регистр текущего значения счётчика	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—	CNT_VAL

- 16-31 — зарезервировано
 0-15 CNT_VAL Текущее значение счётчика

PWMxPSC	Регистр значения предделителя	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—	PSC

- 16-31 — зарезервировано
 0-15 PSC Значение предделителя

PWMxCNT	Регистр периода счётчика	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—	CNT_PER

- 16-31 — зарезервировано
 0-15 CNT_PER Значение периода счётчика

PWMxCMPCNp	Регистр сравнения	
Номер бита	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0	
Начальное состояние	0	
Описание	—	CMP_VAL

- 16-31 — зарезервировано
 0-15 CMP_VAL Значение регистра сравнения канала

И HB. № подп.	Подп. и дата	Bзам. И HB. №	I HB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист
						80

6 Назначение выводов процессора

6.1 Назначение выводов процессора в корпусе QFP208

Условные обозначения

S	подсоединение к линиям электропитания
I	вход
O	выход
NC	не подсоединен
OSC	для подсоединения осцилляторов/генераторов
DVDD	+ выходной каскадов (3.3В)
DVSS	GND выходных каскадов
VDD	+ ядра (1.8В)
VSS	GND ядра

№	Тип	Порт	Бит		Альтернативная функция	Примечания
1	I/O	GPIOA	0	GPIOA[0]	eth0_col	
2	I/O		1	GPIOA[1]	eth0_tx_en	
3	I/O		2	GPIOA[2]	eth0_tx_er	
4	I/O		3	GPIOA[3]	eth0_txd0	
5	I/O		4	GPIOA[4]	eth0_txd1	
6	S	GPIOA	DVDD			
7	S		DVSS			
8	S		VSS			
9	S		VDD			
10	I/O		5	GPIOA[5]	eth0_txd2	
11	I/O	GPIOA	6	GPIOA[6]	eth0_txd3	
12	I/O		7	GPIOA[7]	eth0_tx_clk	
13	I/O		8	GPIOA[8]	eth0_crs	
14	I/O		9	GPIOA[9]	eth0_rx_dv	
15	S		DVDD			
16	S	GPIOA	DVSS			
17	S		VSS			
18	S		VDD			
19	I/O		10	GPIOA[10]	eth0_rx_er	
20	I/O		11	GPIOA[11]	eth0_rxd0	
21	I/O	GPIOA	12	GPIOA[12]	eth0_rxd1	
22	I/O		13	GPIOA[13]	eth0_rxd2	
23	I/O		14	GPIOA[14]	eth0_rxd3	
24	S		DVDD			
25	S		DVSS			
26	S	GPIOA	VSS			
27	S		VDD			
28	I/O		15	GPIOA[15]	eth0_rx_clk	
29	I/O		16	GPIOA[16]	eth0_mdio	
30	I/O		17	GPIOA[17]	eth0_mdc	
31	I/O	GPIOA	18	GPIOA[18]	usb0_v_det	
32	I/O		19	GPIOA[19]	-	
33	S		DVDD			
34	S		DVSS			
35	S		VSS			
36	S	GPIOA	VDD			
37	I/O		20	GPIOA[20]	-	
38	I/O		21	GPIOA[21]	-	

GPIOA

Изв.	№ подп.	Подп. и дата	Бзм. Изв. №	Изв. № дубл.	Подп. и дата

MKФЕ.431281.501 РЭ

Лист

81

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
39	I/O		22	GPIOA[22]	i2c0_scl
40	I/O		23	GPIOA[23]	i2c0_sda
41	I/O		24	GPIOA[24]	usb0_vp_in
42	S		DVDD		
43	S		DVSS		
44	S		VSS		
45	S		VDD		
46	I/O	GPIOA	25	GPIOA[25]	usb0_vm_in
47	I/O	GPIOA	26	GPIOA[26]	usb0_vp_out
48	I/O	GPIOA	27	GPIOA[27]	usb0_vm_out
49	I/O	GPIOA	28	GPIOA[28]	usb0_oe
50	I/O	GPIOA	29	GPIOA[29]	usb0_fs
51	I/O	GPIOA	30	GPIOA[30]	usb0_dp_pullup
52	I/O	GPIOA	31	GPIOA[31]	usb0_dm_pullup
53	I/O	GPIOB	0	GPIOB[0]	spi0_sck_out
54	I/O	GPIOB	1	GPIOB[1]	spi0_mosi
55	I/O	GPIOB	2	GPIOB[2]	spi0_miso
56	I/O	GPIOB	3	GPIOB[3]	spi0_sel_in
57	I/O	GPIOB	4	GPIOB[4]	spi0_sck_in
58	S		DVDD		
59	S		DVSS		
60	S		VSS		
61	S		VDD		
62	I/O	GPIOB	5	GPIOB[5]	spi0_ss0
63	I/O	GPIOB	6	GPIOB[6]	spi0_ss1
64	I/O	GPIOB	7	GPIOB[7]	spi0_ss2
65	I/O	GPIOB	8	GPIOB[8]	uart0_txd
66	I/O	GPIOB	9	GPIOB[9]	uart0_rxd
67	S		DVDD		
68	S		DVSS		
69	S		VSS		
70	S		VDD		
71	I/O	GPIOB	10	GPIOB[10]	uart0_cts
72	I/O	GPIOB	11	GPIOB[11]	uart0_rts
73	I/O	GPIOB	12	GPIOB[12]	i2s_din
74	I/O	GPIOB	13	GPIOB[13]	i2s_ws
75	I/O	GPIOB	14	GPIOB[14]	i2s_sck
76	S		DVDD		
77	S		DVSS		
78	S		VSS		
79	S		VDD		
80	I/O	GPIOB	15	GPIOB[15]	gptim3_extclk
81	I/O	GPIOB	16	GPIOB[16]	spi1_sck
82	I/O	GPIOB	17	GPIOB[17]	spi1_mosi
83	I/O	GPIOB	18	GPIOB[18]	spi1_miso
84	I/O	GPIOB	19	GPIOB[19]	spi1_sel_in
85	S		DVDD		
86	S		DVSS		
87	S		VSS		
88	S		VDD		
89	I/O	GPIOB	20	GPIOB[20]	spi1_sck_in
90	I/O	GPIOB	21	GPIOB[21]	spi1_ss0
91	I/O	GPIOB	22	GPIOB[22]	spi1_ss1
92	I/O	GPIOB	23	GPIOB[23]	spi1_ss2

MKФЕ.431281.501 РЭ

Лист

82

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	-------------	--------------	--------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
93	I/O	GPIOB	24	GPIOB[24]	uart1_txd
94	S			DVDD	
95	S			DVSS	
96	S			VSS	
97	S			VDD	
98	I/O		25	GPIOB[25]	uart1_rxd
99	I/O		26	GPIOB[26]	uart1_cts
100	I/O		27	GPIOB[27]	uart1_rts
101	I/O		28	GPIOB[28]	-
102	I/O		29	GPIOB[29]	-
103	I/O		30	GPIOB[30]	-
104	I/O		31	GPIOB[31]	gptim4_extclk
105	O			extrom_clk	Выход тактирования внешнего ПЗУ
106	I			extrom_data	Вход данных из внешнего ПЗУ
107	O			/extrom_ce	Сигнал разрешения работы внешнего ПЗУ
108	O			mem_ready	Сигнал готовности памяти МП
109	I			/nmi	Сигнал внешнего запроса прерывания (немаскируемый)
110	S	JTAG (IEEE 1149.1)		DVDD	
111	S			DVSS	
112	S			VSS	
113	S			VDD	
114	I			/trst	
115	I			tms	
116	O			tdo	
117	I			tdi	
118	I			tck	
119	S			DVDD	
120	S			DVSS	
121	S			VSS	
122	S			VDD	
123	NC	GPIOC	-	-	-
124	I/O		0	GPIOC[0]	gptim0_extclk
125	I/O		1	GPIOC[1]	gptim1_extclk
126	I/O		2	GPIOC[2]	gptim2_extclk
127	I/O		3	GPIOC[3]	-
128	S			DVDD	
129	S			DVSS	
130	S			VSS	
131	S	GPIOC		VDD	
132	I/O		4	GPIOC[4]	pwm0
133	I/O		5	GPIOC[5]	pwm1
134	I/O		6	GPIOC[6]	pwm2
135	I/O		7	GPIOC[7]	pwm3
136	I/O		8	GPIOC[8]	uart2_txd
137	S			DVDD	
138	S	GPIOC		DVSS	
139	S			VSS	
140	S			VDD	
141	I/O		9	GPIOC[9]	uart2_rxd
142	I/O		10	GPIOC[10]	uart2_cts
143	I/O	GPIOC	11	GPIOC[11]	uart2_rts

MKФЕ.431281.501 РЭ

Лист

83

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	-------------	--------------	--------------

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

Копировал

Формат А4

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
144	I/O		12	GPIOC[12]	-
145	I/O		13	GPIOC[13]	-
146	S		DVDD		
147	S		DVSS		
148	S		VSS		
149	S		VDD		
150	I/O	GPIOC	14	GPIOC[14]	-
151	I/O		15	GPIOC[15]	gptim5_extclk
152	I/O		16	GPIOC[16]	-
153	I/O		17	GPIOC[17]	-
154	I/O		18	GPIOC[18]	-
155	I/O		19	GPIOC[19]	-
156	I/O		20	GPIOC[20]	-
157	I/O		21	GPIOC[21]	-
158	I/O		22	GPIOC[22]	-
159	I/O		23	GPIOC[23]	-
160	I/O	GPIOD	0	GPIOD[0]	spi2_sck
161	I/O		1	GPIOD[1]	spi2_mosi
162	S		DVDD		
163	S		DVSS		
164	S		VSS		
165	S		VDD		
166	I/O	GPIOD	2	GPIOD[2]	spi2_miso
167	I/O		3	GPIOD[3]	spi2_sel_in
168	I/O		4	GPIOD[4]	spi2_sck_in
169	I/O		5	GPIOD[5]	spi2_ss0
170	I/O		6	GPIOD[6]	spi2_ss1
171	S		DVDD		
172	S		DVSS		
173	S		VSS		
174	S		VDD		
175	I/O	GPIOD	7	GPIOD[7]	spi2_ss2
176	I/O		8	GPIOD[8]	uart3_txd
177	I/O		9	GPIOD[9]	uart3_rxd
178	I/O		10	GPIOD[10]	uart3_cts
179	I/O		11	GPIOD[11]	uart3_rts
180	S		DVDD		
181	S		DVSS		
182	S		VSS		
183	S		VDD		
184	I/O	GPIOD	12	GPIOD[12]	i2c1_scl
185	I/O		13	GPIOD[13]	i2c1_sda
186	I/O		14	GPIOD[14]	-
187	I/O		15	GPIOD[15]	gptim6_extclk
188	I		clk_usb	usb0_clk	
189	S		DVDD		
190	S		DVSS		
191	S		VSS		
192	S		VDD		
193	I		wake_up		Внешний сигнал выхода из "спящего режима"
194	I		xtal_in		Вход внешнего генератора
195	NC	-	-	-	
196	NC	-	-	-	

MKФЕ.431281.501 РЭ

Лист

84

№	Тип	Порт	Бит	Альтернативная функция	Примечания
197	NC	-	-	-	
198	S			DVDD	
199	S			DVSS	
200	S			VSS	
201	S			VDD	
202	NC	-	-	-	
203	NC	-	-	-	
204	NC	-	-	-	
205	I		-	nreset	Сигнал сброса (лог. "0" – активный)
206	NC	-	-	-	
207	NC	-	-	-	
208	NC	-	-	-	

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

MKФE.431281.501 РЭ

Лист

85

6.2 Назначение выводов процессора в корпусе CQFP240

Условные обозначения

S	подсоединение к линиям электропитания
I	вход
O	выход
NC	не подсоединен
OSC	для подсоединения осцилляторов/генераторов
DVDD	+ выходной каскадов (3.3В)
DVSS	GND выходных каскадов
VDD	+ ядра (1.8В)
VSS	GND ядра

№	Тип	Порт	Бит		Альтернативная функция	Примечания
1	NC	-	-	-	-	
2	NC	-	-	-	-	
3	NC	-	-	-	-	
4	NC	-	-	-	-	
5	I/O	GPIOA	0	GPIOA[0]	eth0_col	
6	I/O		1	GPIOA[1]	eth0_tx_en	
7	I/O		2	GPIOA[2]	eth0_tx_er	
8	I/O		3	GPIOA[3]	eth0_txd0	
9	I/O		4	GPIOA[4]	eth0_txd1	
10	S	GPIOA	DVDD			
11	S		DVSS			
12	S		VSS			
13	S		VDD			
14	I/O		5	GPIOA[5]	eth0_txd2	
15	I/O		6	GPIOA[6]	eth0_txd3	
16	I/O		7	GPIOA[7]	eth0_tx_clk	
17	I/O		8	GPIOA[8]	eth0_crs	
18	I/O		9	GPIOA[9]	eth0_rx_dv	
19	S		DVDD			
20	S		DVSS			
21	S		VSS			
22	S		VDD			
23	I/O	GPIOA	10	GPIOA[10]	eth0_rx_er	
24	I/O		11	GPIOA[11]	eth0_rxd0	
25	I/O		12	GPIOA[12]	eth0_rxd1	
26	I/O		13	GPIOA[13]	eth0_rxd2	
27	I/O		14	GPIOA[14]	eth0_rxd3	
28	S		DVDD			
29	S		DVSS			
30	S		VSS			
31	S		VDD			
32	I/O	GPIOA	15	GPIOA[15]	eth0_rx_clk	
33	I/O		16	GPIOA[16]	eth0_mdio	
34	I/O		17	GPIOA[17]	eth0_mdc	
35	I/O		18	GPIOA[18]	usb0_v_det	
36	I/O		19	GPIOA[19]	-	
37	S	GPIOA	DVDD			
38	S		DVSS			
39	S		VSS			
40	S		VDD			
41	I/O		20	GPIOA[20]	-	
42	I/O		21	GPIOA[21]	-	

GPIOA

И HB. № подп.	Подп. и дата	B3ам. И HB. №	И HB. № дубл.	Подп. и дата

MKФЕ.431281.501 РЭ

Лист

86

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

№	Тип	Порт	Бит	Альтернативная функция	Примечания
43	I/O		22	GPIOA[22]	i2c0_scl
44	I/O		23	GPIOA[23]	i2c0_sda
45	I/O		24	GPIOA[24]	usb0_vp_in
46	S		DVDD		
47	S		DVSS		
48	S		VSS		
49	S		VDD		
50	I/O	GPIOA	25	GPIOA[25]	usb0_vm_in
51	I/O		26	GPIOA[26]	usb0_vp_out
52	I/O		27	GPIOA[27]	usb0_vm_out
53	I/O		28	GPIOA[28]	/usb0_oe
54	I/O		29	GPIOA[29]	usb0_fs
55	I/O		30	GPIOA[30]	usb0_dp_pullup
56	I/O		31	GPIOA[31]	usb0_dm_pullup
57	NC		-	-	-
58	NC		-	-	-
59	NC		-	-	-
60	NC		-	-	-
61	NC		-	-	-
62	NC		-	-	-
63	NC		-	-	-
64	NC		-	-	-
65	I/O	GPIOB	0	GPIOB[0]	spi0_sck_out
66	I/O		1	GPIOB[1]	spi0_mosi
67	I/O		2	GPIOB[2]	spi0_miso
68	I/O		3	GPIOB[3]	spi0_sel_in
69	I/O		4	GPIOB[4]	spi0_sck_in
70	S		DVDD		
71	S		DVSS		
72	S		VSS		
73	S		VDD		
74	I/O	GPIOB	5	GPIOB[5]	spi0_ss0
75	I/O		6	GPIOB[6]	spi0_ss1
76	I/O		7	GPIOB[7]	spi0_ss2
77	I/O		8	GPIOB[8]	uart0_txd
78	I/O		9	GPIOB[9]	uart0_rxd
79	S		DVDD		
80	S		DVSS		
81	S		VSS		
82	S		VDD		
83	I/O	GPIOB	10	GPIOB[10]	uart0_cts
84	I/O		11	GPIOB[11]	uart0_rts
85	I/O		12	GPIOB[12]	i2s_din
86	I/O		13	GPIOB[13]	i2s_ws
87	I/O		14	GPIOB[14]	i2s_sck
88	S		DVDD		
89	S		DVSS		
90	S		VSS		
91	S		VDD		
92	I/O	GPIOB	15	GPIOB[15]	gptim3_extclk
93	I/O		16	GPIOB[16]	spi1_sck
94	I/O		17	GPIOB[17]	spi1_mosi
95	I/O		18	GPIOB[18]	spi1_miso
96	I/O		19	GPIOB[19]	spi1_sel_in

Изм	Лист	№ докум.	Подп.	Дата	МКФЕ.431281.501 РЭ	Лист
						87

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	-------------	--------------	--------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
97	S		DVDD		
98	S		DVSS		
99	S		VSS		
100	S		VDD		
101	I/O	GPIOB	20	GPIOB[20]	spi1_sck_in
102	I/O		21	GPIOB[21]	spi1_ss0
103	I/O		22	GPIOB[22]	spi1_ss1
104	I/O		23	GPIOB[23]	spi1_ss2
105	I/O		24	GPIOB[24]	uart1_txd
106	S		DVDD		
107	S		DVSS		
108	S		VSS		
109	S		VDD		
110	I/O	GPIOB	25	GPIOB[25]	uart1_rxd
111	I/O		26	GPIOB[26]	uart1_cts
112	I/O		27	GPIOB[27]	uart1_rts
113	I/O		28	GPIOB[28]	-
114	I/O		29	GPIOB[29]	-
115	I/O		30	GPIOB[30]	-
116	I/O		31	GPIOB[31]	gptim4_extclk
117	NC	-	-	-	
118	NC	-	-	-	
119	NC	-	-	-	
120	NC	-	-	-	
121	NC	-	-	-	
122	NC	-	-	-	
123	NC	-	-	-	
124	NC	-	-	-	
125	O		extrom_clk		Выход тактирования внешнего ПЗУ
126	I		extrom_data		Вход данных из внешнего ПЗУ
127	O		/extrom_ce		Сигнал разрешения работы внешнего ПЗУ
128	O		mem_ready		Сигнал готовности памяти МП
129	I		/nmi		Сигнал внешнего запроса прерывания (немаскируемый)
130	S		DVDD		
131	S		DVSS		
132	S		VSS		
133	S		VDD		
134	I		/trst		JTAG (IEEE 1149.1)
135	I		tms		
136	O		tdo		
137	I		tdi		
138	I		tck		
139	S		DVDD		
140	S		DVSS		
141	S		VSS		
142	S		VDD		
143	NC	-	-	-	
144	I/O	GPIOC	0	GPIOC[0]	gptim0_extclk
145	I/O		1	GPIOC[1]	gptim1_extclk
146	I/O		2	GPIOC[2]	gptim2_extclk
147	I/O		3	GPIOC[3]	-

MKФЕ.431281.501 РЭ

Лист

88

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	-------------	--------------	--------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
148	S		DVDD		
149	S		DVSS		
150	S		VSS		
151	S		VDD		
152	I/O	GPIOC	4	GPIOC[4]	pwm0
153	I/O		5	GPIOC[5]	pwm1
154	I/O		6	GPIOC[6]	pwm2
155	I/O		7	GPIOC[7]	pwm3
156	I/O		8	GPIOC[8]	uart2_txd
157	S		DVDD		
158	S		DVSS		
159	S		VSS		
160	S		VDD		
161	I/O	GPIOC	9	GPIOC[9]	uart2_rxd
162	I/O		10	GPIOC[10]	uart2_cts
163	I/O		11	GPIOC[11]	uart2_rts
164	I/O		12	GPIOC[12]	-
165	I/O		13	GPIOC[13]	-
166	S		DVDD		
167	S		DVSS		
168	S		VSS		
169	S		VDD		
170	I/O	GPIOC	14	gpioc[14]	-
171	I/O		15	GPIOC[15]	gptim5_extclk
172	I/O		16	GPIOC[16]	-
173	I/O		17	GPIOC[17]	-
174	I/O		18	GPIOC[18]	-
175	I/O		19	GPIOC[19]	-
176	I/O		20	GPIOC[20]	-
177	NC		-	-	-
178	NC		-	-	-
179	NC		-	-	-
180	NC		-	-	-
181	NC		-	-	-
182	NC		-	-	-
183	NC		-	-	-
184	NC		-	-	-
185	I/O	GPIOD	21	GPIOC[21]	-
186	I/O		22	GPIOC[22]	-
187	I/O		23	GPIOC[23]	-
188	I/O		0	GPIOD[0]	spi2_sck
189	I/O		1	gpiod[1]	spi2_mosi
190	S		DVDD		
191	S		DVSS		
192	S		VSS		
193	S		VDD		
194	I/O	GPIOD	2	GPIOD[2]	spi2_miso
195	I/O		3	GPIOD[3]	spi2_sel_in
196	I/O		4	GPIOD[4]	spi2_sck_in
197	I/O		5	GPIOD[5]	spi2_ss0
198	I/O		6	GPIOD[6]	spi2_ss1
199	S		DVDD		
200	S		DVSS		
201	S		VSS		

MKФЕ.431281.501 РЭ

Лист

89

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
202	S		VDD		
203	I/O	GPIOD	7	GPIOD[7]	spi2_ss2
204	I/O		8	GPIOD[8]	uart3_txd
205	I/O		9	GPIOD[9]	uart3_rxd
206	I/O		10	GPIOD[10]	uart3_cts
207	I/O		11	GPIOD[11]	uart3_rts
208	S		DVDD		
209	S		DVSS		
210	S		VSS		
211	S		VDD		
212	I/O	GPIOD	12	GPIOD[12]	i2c1_scl
213	I/O		13	GPIOD[13]	i2c1_sda
214	I/O		14	GPIOD[14]	-
215	I/O		15	GPIOD[15]	gptim6_extclk
216	I		clk_usb	usb0_clk	
217	S		DVDD		
218	S		DVSS		
219	S		VSS		
220	S		VDD		
221	I		wake_up		Внешний сигнал выхода из "спящего режима"
222	I		xtal_in		Вход внешнего генератора
223	NC	-	-	-	
224	NC	-	-	-	
225	NC	-	-	-	
226	S		DVDD		
227	S		DVSS		
228	S		VSS		
229	S		VDD		
230	NC	-	-	-	
231	NC	-	-	-	
232	NC	-	-	-	
233	I	-	nreset		Сигнал сброса (лог. "0" – активный)
234	NC	-	-	-	
235	NC	-	-	-	
236	NC	-	-	-	
237	NC	-	-	-	
238	NC	-	-	-	
239	NC	-	-	-	
240	NC	-	-	-	

И HB. № подп.	Подп. и дата	Bзам. И HB. №	И HB. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист 90
-----	------	----------	-------	------	--------------------	------------

6.3 Назначение выводов процессора в корпусе LQFP128

Условные обозначения

S	подсоединение к линиям электропитания
I	вход
O	выход
NC	не подсоединен
OSC	для подсоединения осцилляторов/генераторов
DVDD	+ выходной каскадов (3.3В)
DVSS	GND выходных каскадов
VDD	+ ядра (1.8В)
VSS	GND ядра

№	Тип	Порт	Бит		Альтернативная функция	Примечания
1	I/O	GPIOA	0	GPIOA[0]	eth0_col	
2	I/O		1	GPIOA[1]	eth0_tx_en	
3	I/O		2	GPIOA[2]	eth0_tx_er	
4	I/O		3	GPIOA[3]	eth0_txd0	
5	I/O		4	GPIOA[4]	eth0_txd1	
6	S	GPIOA	DVDD			
7	S		DVSS			
8	S		VSS			
9	S		VDD			
10	I/O		5	GPIOA[5]	eth0_txd2	
11	I/O		6	GPIOA[6]	eth0_txd3	
12	I/O		7	GPIOA[7]	eth0_tx_clk	
13	I/O		8	GPIOA[8]	eth0_crs	
14	I/O		9	GPIOA[9]	eth0_rx_dv	
15	S		DVDD			
16	S		DVSS			
17	S		VSS			
18	S		VDD			
19	I/O	GPIOA	10	GPIOA[10]	eth0_rx_er	
20	I/O		11	GPIOA[11]	eth0_rxd0	
21	I/O		12	GPIOA[12]	eth0_rxd1	
22	I/O		13	GPIOA[13]	eth0_rxd2	
23	I/O		14	GPIOA[14]	eth0_rxd3	
24	S	GPIOA	DVDD			
25	S		DVSS			
26	S		VSS			
27	S		VDD			
28	I/O		15	GPIOA[15]	eth0_rx_clk	
29	I/O		16	GPIOA[16]	eth0_mdio	
30	I/O		17	GPIOA[17]	eth0_mdc	
31	I/O		22	GPIOA[22]	i2c0_scl	
32	I/O		23	GPIOA[23]	i2c0_sda	
33	I/O	GPIOB	0	GPIOB[0]	spi0_sck_out	
34	I/O		1	GPIOB[1]	spi0_mosi	
35	I/O		2	GPIOB[2]	spi0_miso	
36	I/O		3	GPIOB[3]	spi0_sel_in	
37	I/O		4	GPIOB[4]	spi0_sck_in	
38	S	GPIOB	DVDD			
39	S		DVSS			
40	S		VSS			
41	S		VDD			
42	I/O		5	GPIOB[5]	spi0_ss0	

GPIOB

И HB. № подп.	Подп. и дата	B3ам. И HB. №	И HB. № дубл.	Подп. и дата

MKФЕ.431281.501 РЭ

Лист

91

№	Тип	Порт	Бит	Альтернативная функция	Примечания
43	I/O	GPIOB	6	GPIOB[6]	spi0_ss1
44	I/O		7	GPIOB[7]	spi0_ss2
45	I/O		8	GPIOB[8]	uart0_txd
46	I/O		9	GPIOB[9]	uart0_rxd
47	S		DVDD		
48	S		DVSS		
49	S		VSS		
50	S		VDD		
51	I/O	GPIOB	10	GPIOB[10]	uart0_cts
52	I/O		11	GPIOB[11]	uart0_rts
53	I/O		12	GPIOB[12]	i2s_din
54	I/O		13	GPIOB[13]	i2s_ws
55	I/O		14	GPIOB[14]	i2s_sck
56	S		DVDD		
57	S		DVSS		
58	S		VSS		
59	S		VDD		
60	I/O	GPIOB	15	GPIOB[15]	gptim3_extclk
61	I/O		24	GPIOB[24]	uart1_txd
62	I/O		25	GPIOB[25]	uart1_rxd
63	I/O		26	GPIOB[26]	uart1_cts
64	I/O		27	GPIOB[27]	uart1_rts
65	O		extrom_clk		Выход тактирования внешнего ПЗУ
66	I		extrom_data		Вход данных из внешнего ПЗУ
67	O		/extrom_ce		Сигнал разрешения работы внешнего ПЗУ
68	O		mem_ready		Сигнал готовности памяти МП
69	I		/nmi		Сигнал внешнего запроса прерывания (немаскируемый)
70	S		DVDD		
71	S		DVSS		
72	S		VSS		
73	S		VDD		
74	I		/trst		JTAG (IEEE 1149.1)
75	I		tms		
76	O		tdo		
77	I		tdi		
78	I		tck		
79	S		DVDD		
80	S		DVSS		
81	S		VSS		
82	S		VDD		
83	I/O	GPIOC	4	GPIOC[4]	pwm0
84	I/O		5	GPIOC[5]	pwm1
85	I/O		6	GPIOC[6]	pwm2
86	I/O		7	GPIOC[7]	pwm3
87	I/O		8	GPIOC[8]	uart2_txd
88	S		DVDD		
89	S		DVSS		
90	S		VSS		
91	S		VDD		
92	I/O	GPIOC	9	GPIOC[9]	uart2_rxd
93	I/O		10	GPIOC[10]	uart2_cts

GPIOC

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	-------------	--------------	--------------

Изм	Лист	№ докум.	Подп.	Дата	MKФЕ.431281.501 РЭ	Лист 92
-----	------	----------	-------	------	--------------------	------------

№	Тип	Порт	Бит	Альтернативная функция	Примечания
94	I/O	GPIOC	11	GPIOC[11]	uart2_rts
95	I/O		12	GPIOC[12]	-
96	I/O		13	GPIOC[13]	-
97	I/O		21	GPIOC[21]	-
98	I/O		22	GPIOC[22]	-
99	I/O		23	GPIOC[23]	-
100	I/O		0	GPIOD[0]	spi2_sck
101	I/O		1	GPIOD[1]	spi2_mosi
102	S			DVDD	
103	S			DVSS	
104	S			VSS	
105	S			VDD	
106	I/O	GPIOD	2	GPIOD[2]	spi2_miso
107	I/O		3	GPIOD[3]	spi2_sel_in
108	I/O		4	GPIOD[4]	spi2_sck_in
109	I/O		5	GPIOD[5]	spi2_ss0
110	I/O		6	GPIOD[6]	spi2_ssl
111	S			DVDD	
112	S			DVSS	
113	S			VSS	
114	S			VDD	
115	I/O	GPIOD	7	GPIOD[7]	spi2_ss2
116	I/O		8	GPIOD[8]	uart3_txd
117	I/O		9	GPIOD[9]	uart3_rxd
118	I/O		10	GPIOD[10]	uart3_cts
119	I/O		11	GPIOD[11]	uart3_rts
120	S			DVDD	
121	S			DVSS	
122	S			VSS	
123	S			VDD	
124	I/O	GPIOD	12	GPIOD[12]	i2c1_scl
125	I/O		13	GPIOD[13]	i2c1_sda
126	I		wake_up		Внешний сигнал выхода из "спящего режима"
127	I		xtal_in		Вход внешнего генератора
128	I		-	nreset	Сигнал сброса (лог. "0" – активный)

Инв. № подп.	Подп. и дата	Бзм. инв. №	Инв. № дубл.	Подп. и дата

6.4 Назначение выводов процессора в корпусе LQFP144

Условные обозначения

S	подсоединение к линиям электропитания
I	вход
O	выход
NC	не подсоединен
OSC	для подсоединения осцилляторов/генераторов
DVDD	+ выходной каскадов (3.3В)
DVSS	GND выходных каскадов
VDD	+ ядра (1.8В)
VSS	GND ядра

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

MKФE.431281.501 РЭ

Лист

94

6.5 Диаграмма выводов процессора в корпусе QFP208

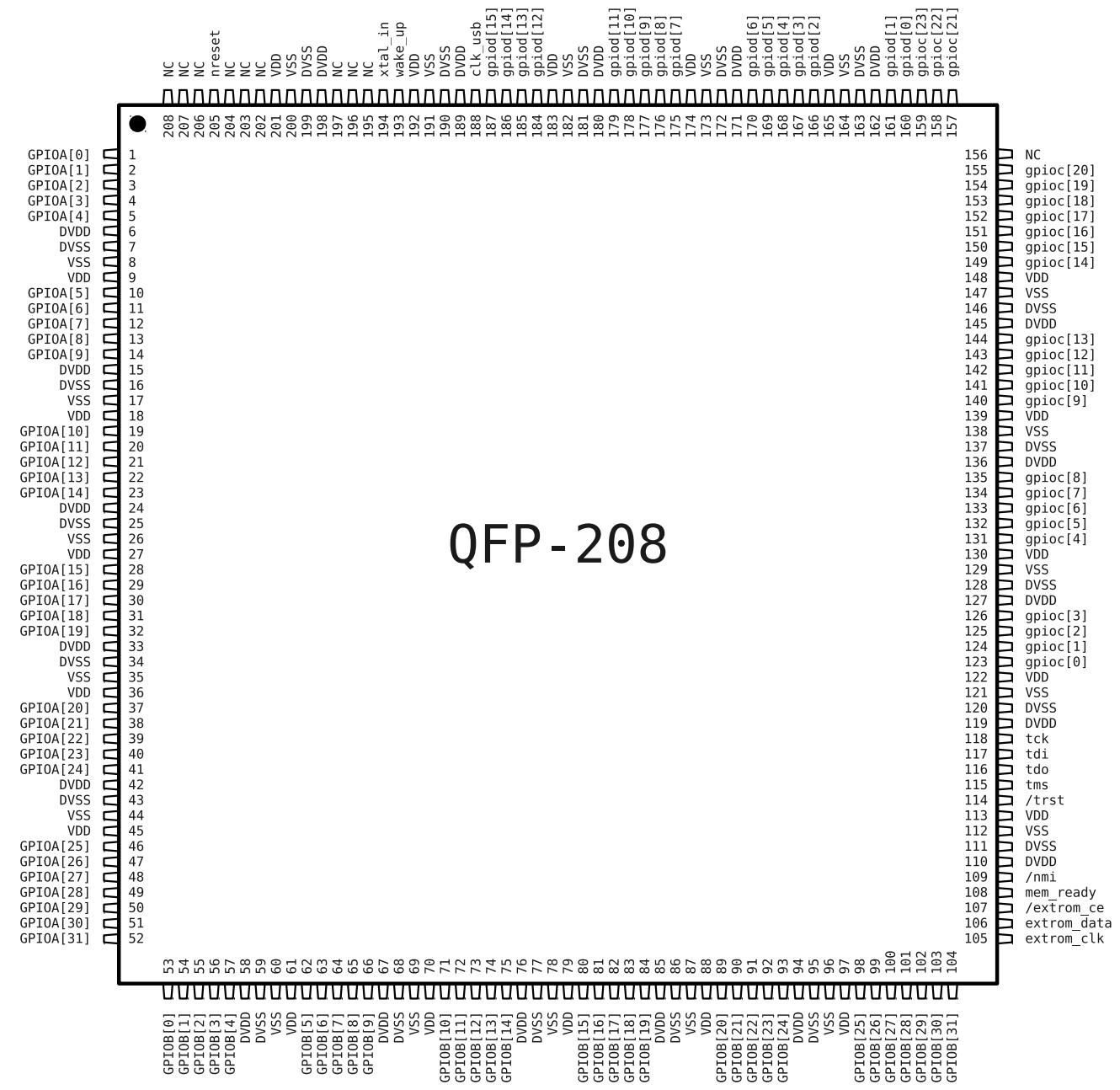
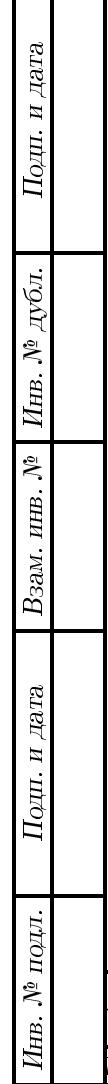


Рисунок 19 – Диаграмма выводов процессора

6.6 Диаграмма выводов процессора в корпусе CQFP240

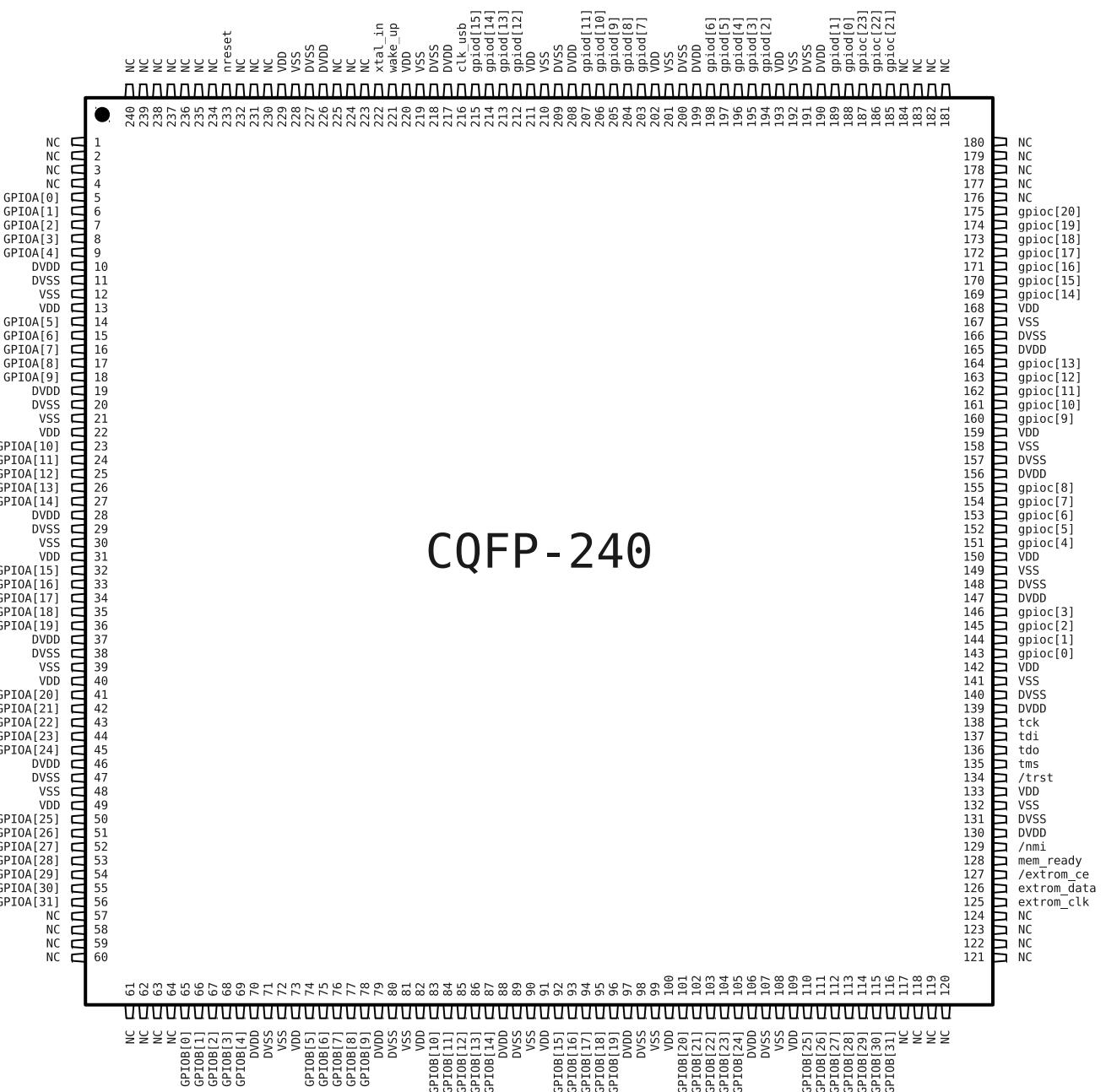


Рисунок 20 – Диаграмма выводов процессора

6.7 Диаграмма выводов процессора в корпусе LQFP128

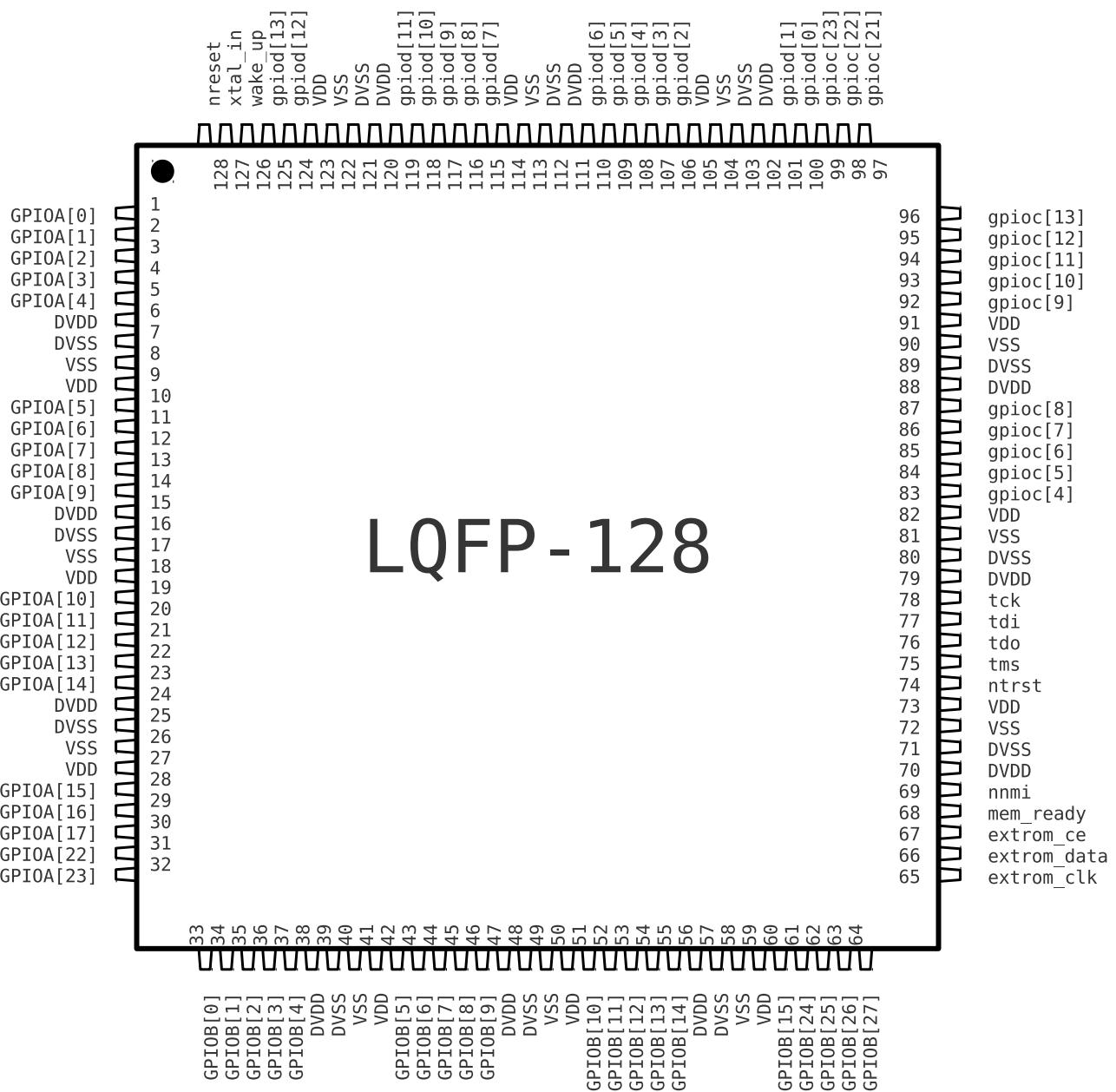


Рисунок 21 – Диаграмма выводов процессора

6.8 Диаграмма выводов процессора в корпусе LQFP144

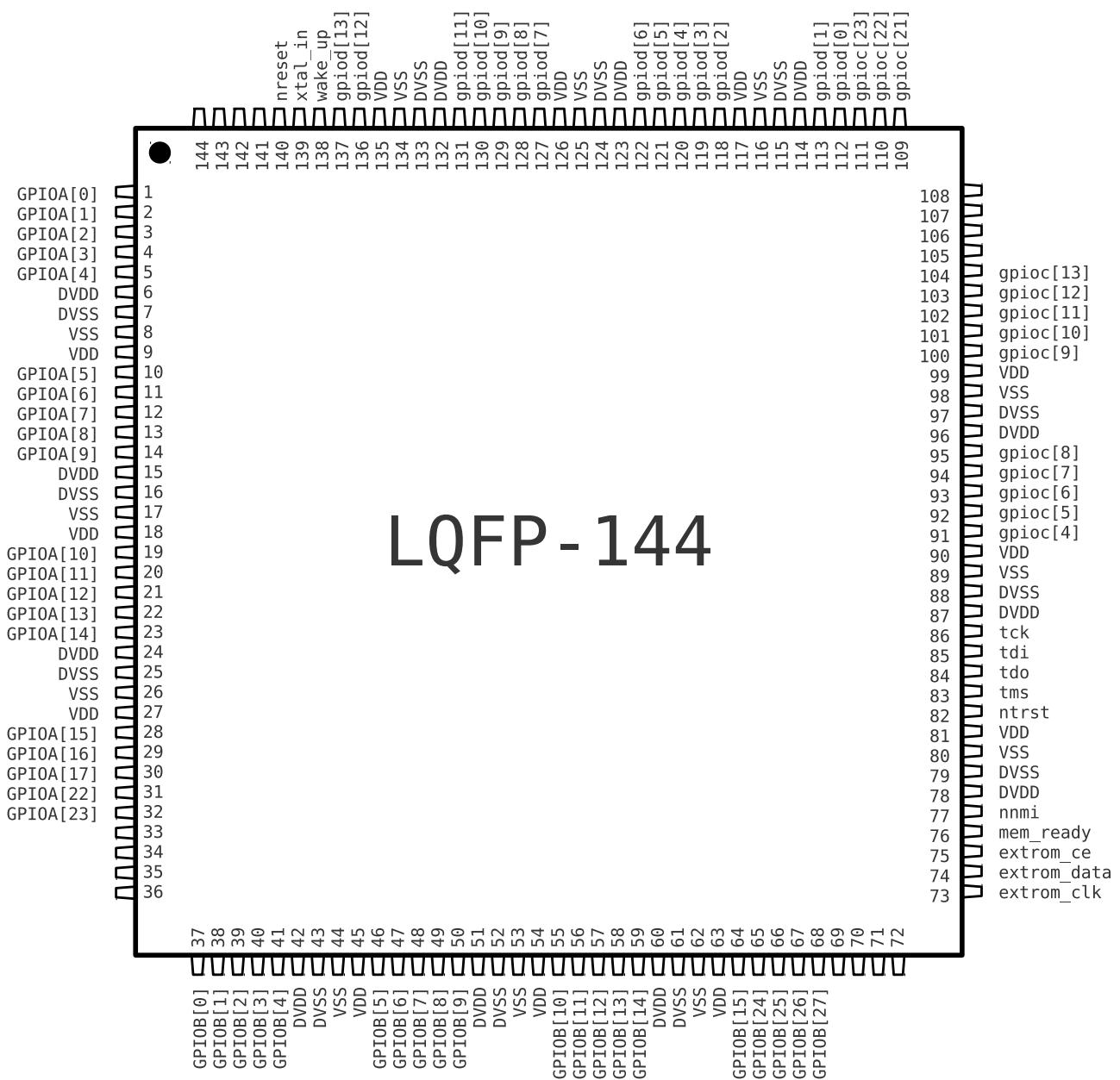


Рисунок 22 – Диаграмма выводов процессора

7 Электрические параметры

7.1 Электрические характеристики портов ввода-вывода

Таблица 14 – Электрические характеристики портов ввода-вывода

Параметр	Условия	Мин.	Тип.	Макс.
V_{IL}	Низкий уровень входного напряжения, В	CMOS, LVTTL	-0,3	0,8
V_{IH}	Высокий уровень входного напряжения, В		2,0	5.5
I_{IL}	Низкий уровень входного тока, мА	$V_{in} = V_{SS}$	-10	10
I_{IH}	Высокий уровень входного тока, мА	$V_{in} = DVDD$	-10	10
V_{OL}	Низкий уровень выходного напряжения, В	$I_{OL} = -12\text{mA}$	0	0,4
V_{OH}	Высокий уровень выходного напряжения, В	$I_{OH} = 12\text{mA}$	2.4	3.6
	Подтягивающий регистор к высокому уровню, кОм		68,2	118,1
	Подтягивающий регистор к низкому уровню, кОм		30,2	80,6

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

99

8 Лист регистрации изменений

Номер	Версия	Дата	Описание изменений	Номера страниц
1	0.1	16.10.2015	Первоначальная версия документации	
2				
3				

Инв. № подп.	Подп. и дата	Бзак. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата
-----	------	----------	-------	------

МКФЕ.431281.501 РЭ

Лист

100

A Список ошибок в MCP041110101-Q208 и способов их устранения

Ошибки в процессоре отсортированы на 3 уровня критичности:

Уровень 1:

Ошибкающее поведение, которое невозможно обойти. Ошибки данного уровня серьезно ограничивают использование продукта.

Уровень 2:

Ошибкающее поведение, которое ограничивает часть целевых функций, но при этом продукт является пригодным для большинства приложений.

Уровень 3:

Ошибкающее поведение, которое не было изначально определено, но не вызывает проблем при соблюдении рекомендаций.

Примечание: все аппаратные ошибки исправлены в следующей версии процессора (процессоре Multiclet R1). Большинство аппаратных ошибок обходится на уровне компилятора Си.

Инв. № подп.	Подп. и дата	Бзам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

МКФЕ.431281.501 РЭ

Лист

101

A.0.1 Ошибки уровня 1.

Ошибок первого уровня не зафиксировано.

A.0.2 Ошибки уровня 2.

Код ошибки: 201.

Название: Переполнение значения тега.

Описание: Теряется результат очередной команды при его поступлении в блок задержки.

Условие: Потеря происходит при выдаче из блока задержки результата с тегом, равным значению текущего тега (самый «старый» результат) и поступлению в блок на следующем такте очередного результата, который необходимо задержать .

Рекомендации и способы обхода: Сокращать длину ссылок в параграфе, уменьшая таким образом время нахождения команды в буфере. Рекомендованные значения ссылок:

- для команд с целочисленной арифметикой – не более 44;
- для команд с плавающей арифметикой – не более 36.

Код ошибки: 202.

Название: Не работают прерывания.

Описание: Прерывания за исключением прерывания от системного таймера не работают.

Условие: Сигнал прерываний появляется на 1 такт в регистре прерываний, за исключением системного таймера.

Рекомендации и способы обхода: использовать метод опроса регистров.

Код ошибки: 203.

Название: Чтение регистров ШИМ.

Описание: При чтении регистров блока ШИМ регистры считаются как 0.

Условие: Регистры блока ШИМ не удается считать, так как они отдаются на шину с запаздыванием.

Рекомендации и способы обхода: рекомендаций обхода не предусмотрено.

Код ошибки: 204.

Название: Ethernet при работе на прием.

Описание: Блок Ethernet не устанавливает в дескрипторе на прием количество принятых данных.

Инв. № подл.	Подл. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Изм	Лист	№ докум.	Подп.	Дата

Условие: При приеме данных по каналу Ethernet вследствие аппаратной ошибки.

Рекомендации и способы обхода: рекомендаций обхода не предусмотрено.

Код ошибки: 205.

Название: Некорректное тактирование внешней энергонезависимой памяти.

Описание: Выборка данных идет по неправильному фронту тактирующего сигнала.

Условие: При загрузке прошивки процессора из внешней энергонезависимой памяти.

Рекомендации и способы обхода: подключить внешнюю схему, например на базе 74AC74 или 1554TM2, как изображено на рис.23.

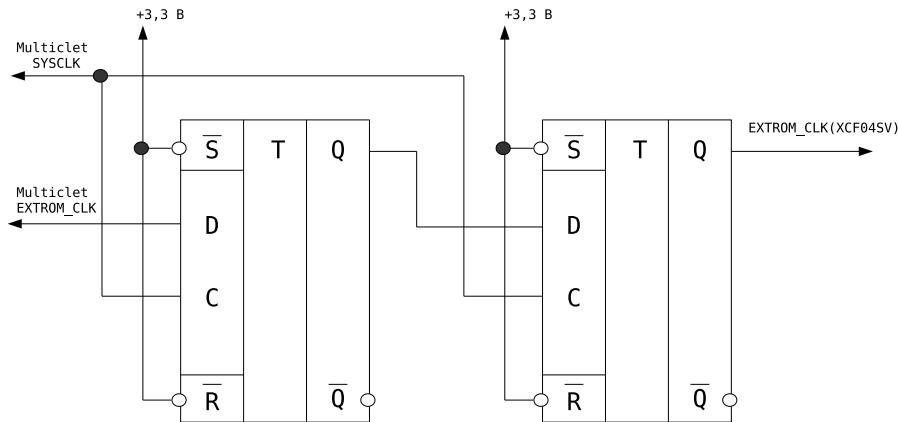


Рисунок 23 – Схема коррекции загрузки прошивки

A.0.3 Ошибки уровня 3.

Ошибка третьего уровня не зафиксировано

Инв. № подп.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Лист

103

МКФЕ.431281.501 РЭ

Изм Лист № докум. Подп. Дата

Копировал

Формат А4